

先端パッケージング技術の 動向・調査と施策提言

東京大学 大学院工学系研究科附属
システムデザイン研究センター(d.lab)
先端デバイス研究部門

先端システム技術研究組合(RaaS*)

丹羽正昭

内 容

1. **日本の半導体産業の競争力** -NEDO技術調査委員会報告書
2. **先端パッケージ技術と3D集積/接合プロセス**
 - 2-1 **デバイス接合と3D集積プロセス** -imecでの取組み最前線
 - 2-2 **3D接合技術** -ダイレクト3D積層技術@RaaS
3. **WoW, CoW技術実用化動向**
4. **先端パッケージ技術に係る提言** -NEDO技術調査委員会

内 容

1. **日本の半導体産業の競争力** -NEDO技術調査委員会報告書
2. 先端パッケージ技術と3D集積/接合プロセス
 - 2-1 デバイス接合と3D集積プロセス -imecでの取組み最前線
 - 2-2 3D集積デバイスと接合技術 -ダイレクト3D積層技術@RaaS
3. WoW, CoW技術実用化動向
4. 先端パッケージ技術に係る提言 -NEDO技術調査委員会

ポスト5G情報通信システム基盤強化研究開発事業/ 先端パッケージングに係る動向調査（2021年度NEDO成果報告書*）

経済産業省、NEDOでは、ポスト5G事業において、情報通信システムで用いられる先端半導体を国内で製造できる技術を確認する事を目的として、

➡ 先端半導体の製造技術の開発を推進するにあたり、研究開発成果の最大化、最新の技術や市場動向に基づいた確かな事業遂行、今後加速すべき技術領域の特定等を目的に、関連する技術動向、市場動向、情報通信関連施策等について調査・分析を実施（NEDO/NTTデータ経営研究所受託事業）

⇒ オープンイノベーション拠点調査委員会、先端パッケージング技術調査委員会@2021年度の設置

・先端パッケージングに係る有識者委員会

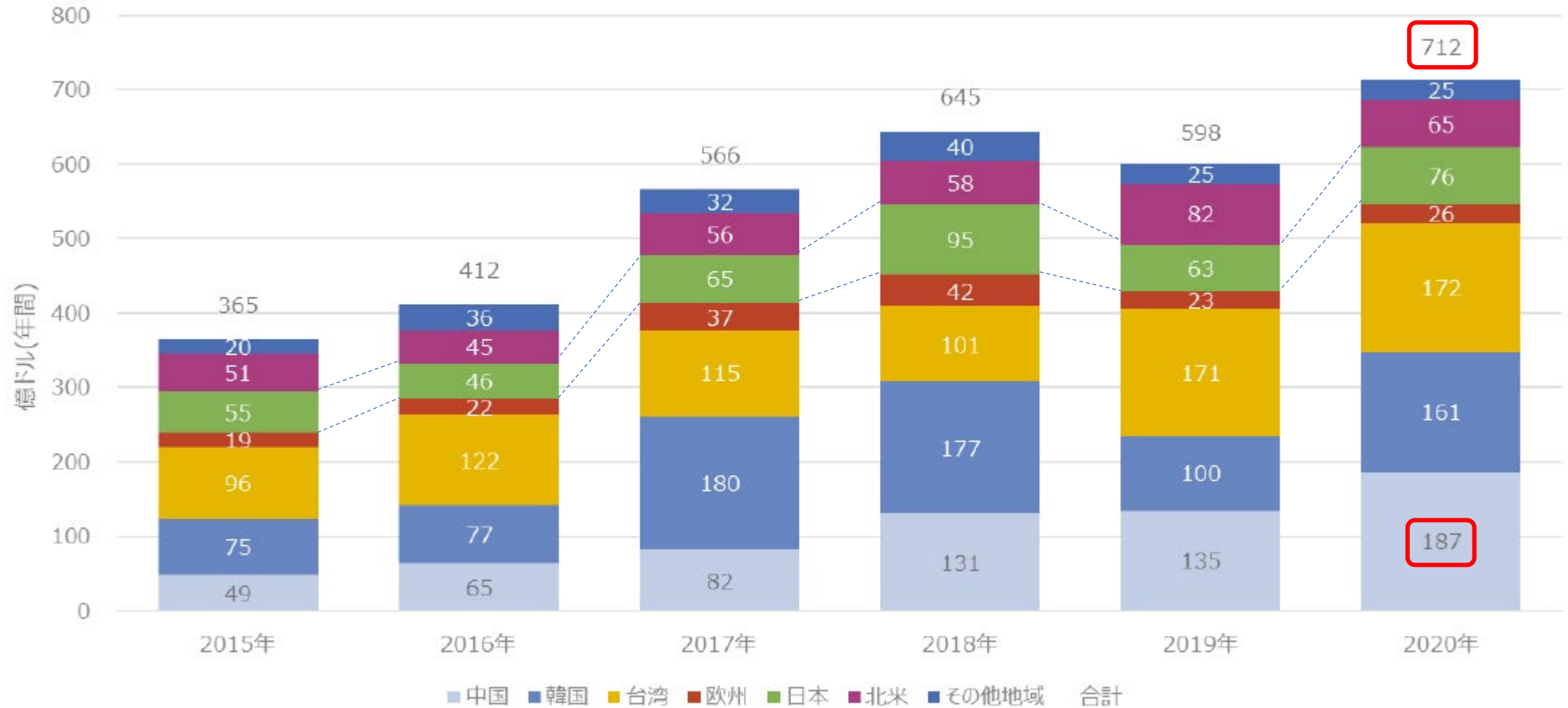
役割	氏名 (敬称略)	所属	役職
委員長	丹羽 正昭	東京大学大学院工学系研究科附属 システムデザイン研究センター	上席研究員
委員	浅野 種正	九州大学日本エジプト科学技術連携センター	特任教授
	大場 隆之	東京工業大学 科学技術創成研究院 異種機能集積研究ユニット	特任教授
	折井 靖光	長瀬産業株式会社	執行役員
	浜島 雅彦	SEMI ジャパン	代表

・調査項目

- ①先端パッケージングに係る技術動向調査
- ②先端パッケージングに係る業態調査
- ③産業競争力強化に向けた分析

■半導体市場動向

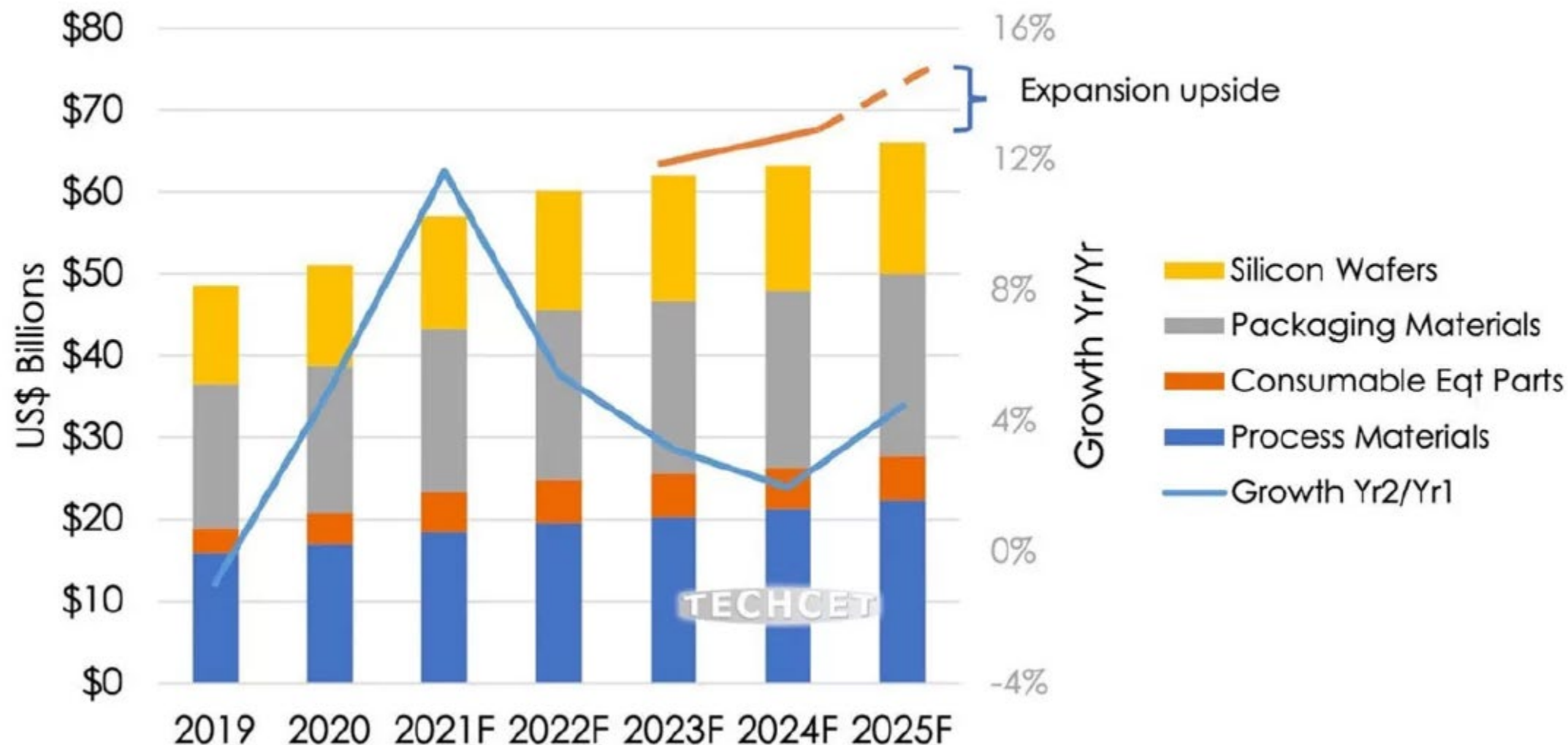
半導体製造装置の出荷額推移



出所) SEMI 資料を基にエヌ・ティ・ティ・データ経営研究所作成

半導体材料市場の推移

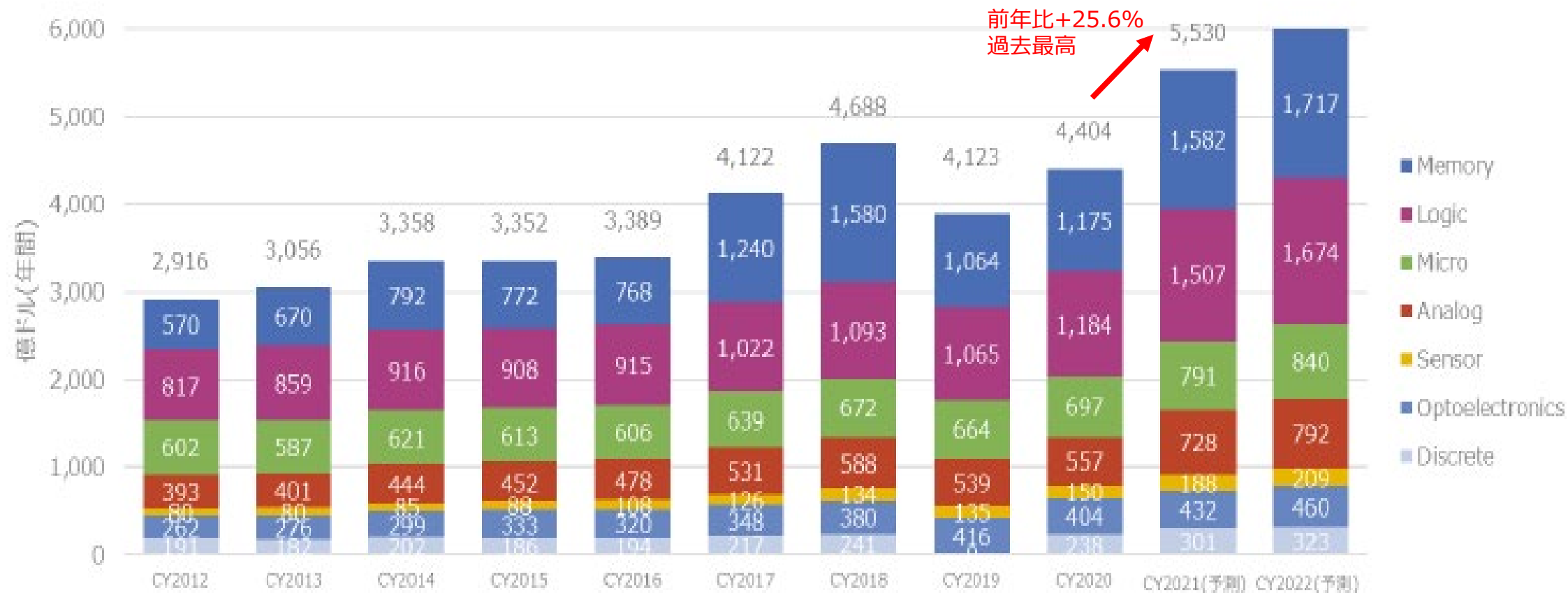
Global Semiconductor Materials Revenues



TEHCET

出所) TEHCETプレスリリース https://criticalmaterials.org/2021-techcet-news/#August30_2021

半導体製品別市場の推移



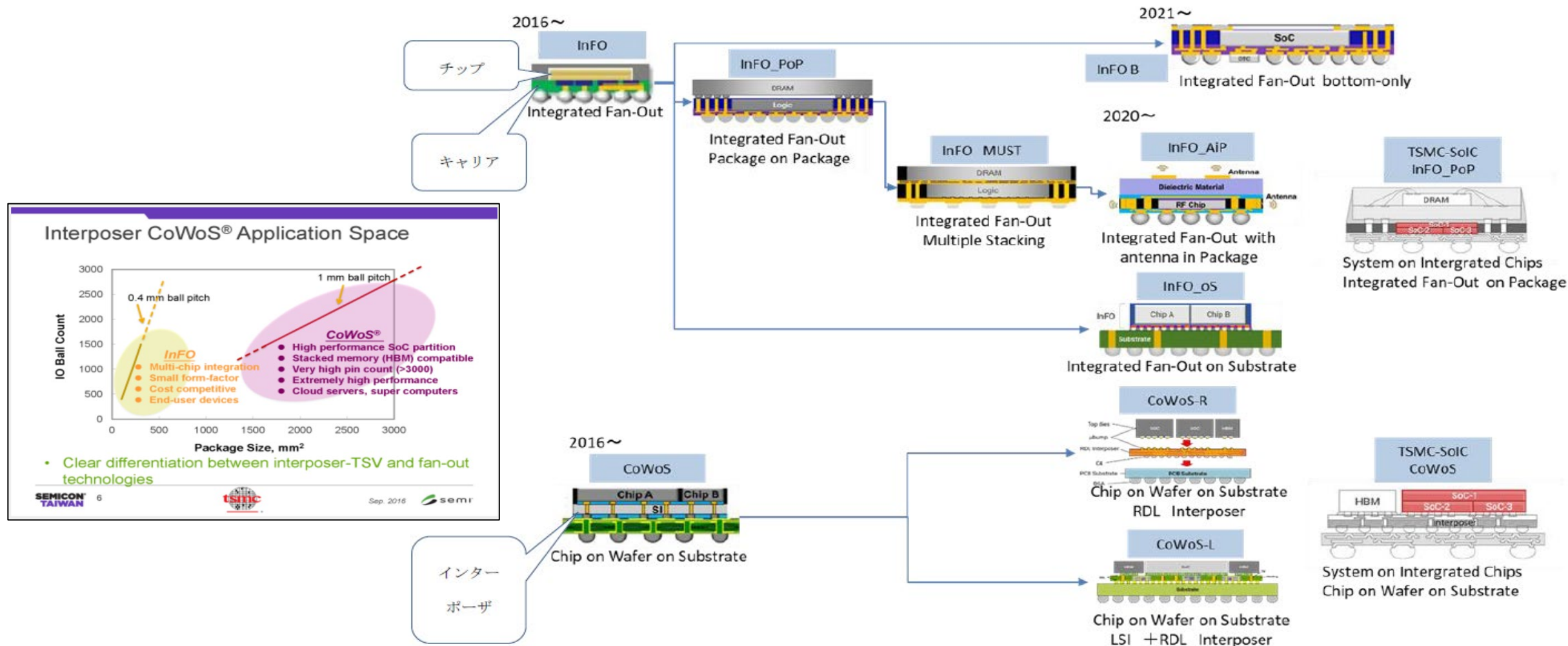
出所) 世界半導体市場統計 (WSTS) や <https://www.jeita.or.jp/japanese/stat/wsts/docs/20211130WSTS.pdf> を基に
エヌ・ティ・ティ・データ経営研究所作成

年度

製品分類 の定義	Memory(DRAM, SRAM, フラッシュメモリ, その他メモリ)
	Logic(デジタルバイポーラ、汎用MOSロジック、ゲートアレイ、スタンダードセル、FPLD、ディスプレイドライバ等)
	Micro(MPU, MCU, DSP)
	Analog(標準リニアIC、専用アナログIC等)
	Sensor(温度センサ、圧力センサ、加速度センサ等)
	Optoelectronics(ディスプレイ、CCD、撮像素子、レーザー素子等)
	Discrete(個別半導体、ダイオード、小信号トランジスタ、パワートランジスタ、整流素子等)

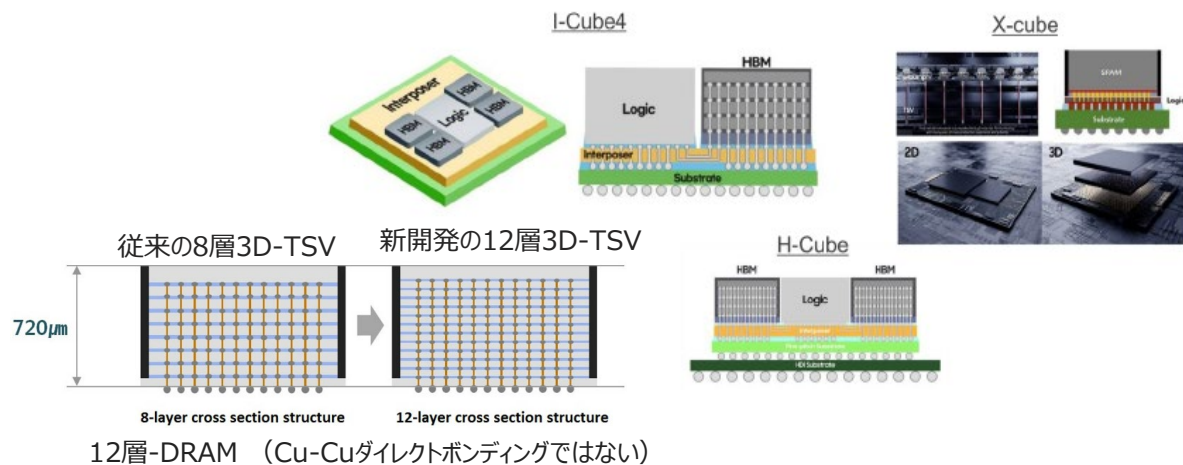
■ 先端パッケージング技術動向

TSMCの先端パッケージングの例 – InFO (Integrated Fan-Out) と CoWoS (Chip on Wafer on Substrate)



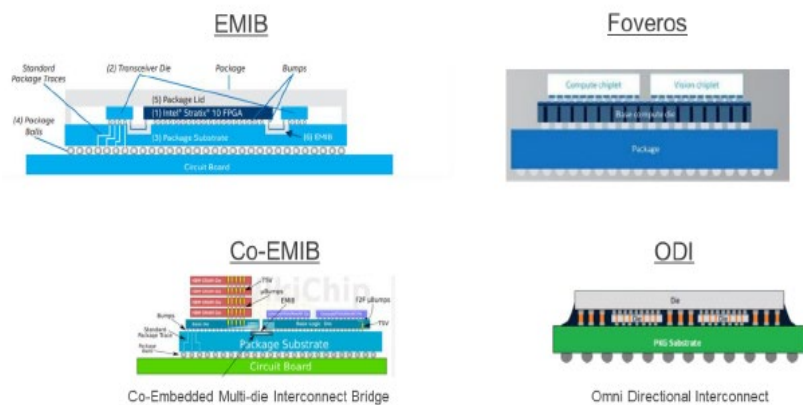
出所) TSMC公表資料等を基にエヌ・ティ・ティ・データ経営研究所作成

先行大手からの種々の先端パッケージ実証例が登場

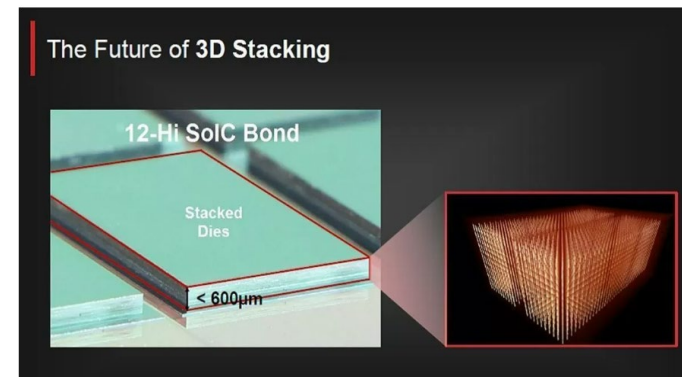


Samsung (X-Cube , , ,)

出所)Samsung公表資料等を基にエヌ・ティ・ティ・データ経営研究所作成



Intel (EMIB, Foveros , , ,)



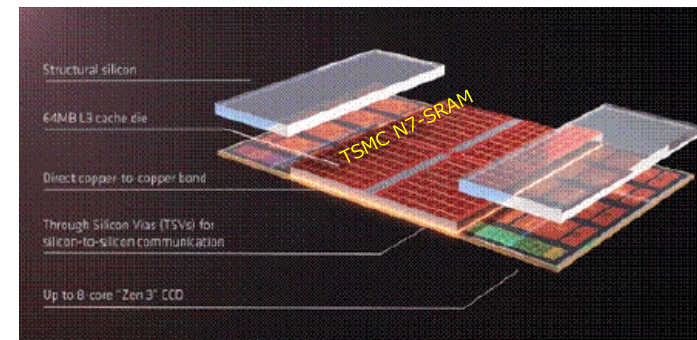
半導体アクティブチップを12枚垂直積層(積層厚,600µm)したSoICと非破壊透過X線により可視化したメタル多層配線

TSMC

<https://www.anandtech.com/show/16026/tsmc-teases-12-high-3d-stacked-silicon>



出所)AMD公表資料等を基にエヌ・ティ・ティ・データ経営研究所作成



AMD (3D-Vcache)

<https://news.mynavi.jp/techplus/article/20210225-1752851/>

出所)Intel公表資料等を基にエヌ・ティ・ティ・データ経営研究所作成

「AF64FX」

CPUチップと3次元積層メモリを単一のパッケージに異種統合しているSoC。

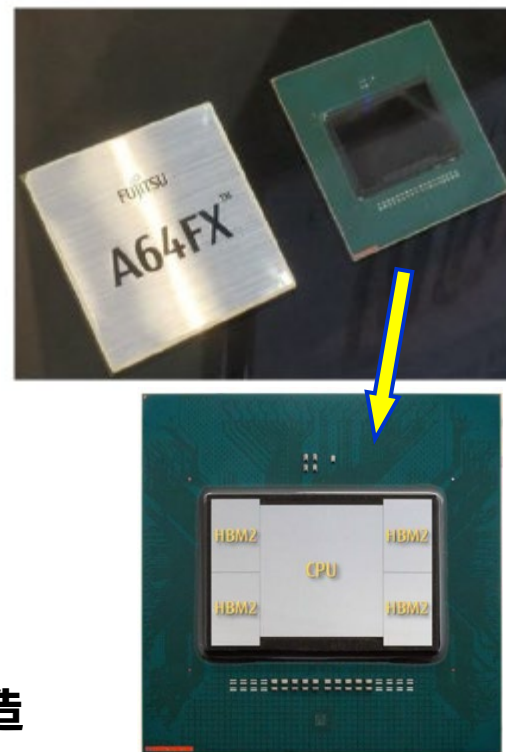
生産：TSMCにおいて7nmプロセスを用いて製造、

2.5次元パッケージ技術“CoWoS”により、CPUチップと3次元積層メモリを単一のパッケージに異種統合

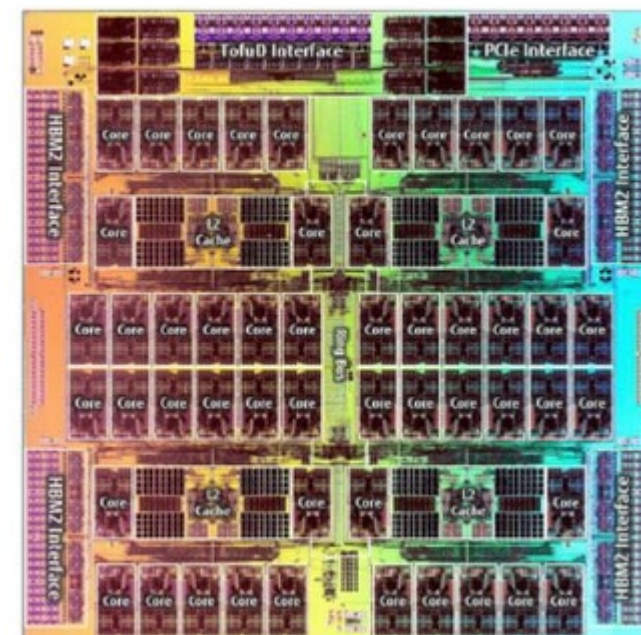
チップ写真



出所) <https://www.fujitsu.com/jp/about/businesspolicy/tech/fugaku/>



チップ内部詳細



<https://www.fujitsu.com/jp/about/businesspolicy/tech/fugaku/>

富岳搭載プロセッサ-A64FX外観および内部詳細構造

Si Interposerを使って CPUと HBM2メモリが最短距離で接続
➔ High-Memory band width + Low latency

高性能が必須な一方でコスト制約が比較的緩いハイエンド領域で、2.5D-ICは徐々に拡大傾向

「AF64FX」

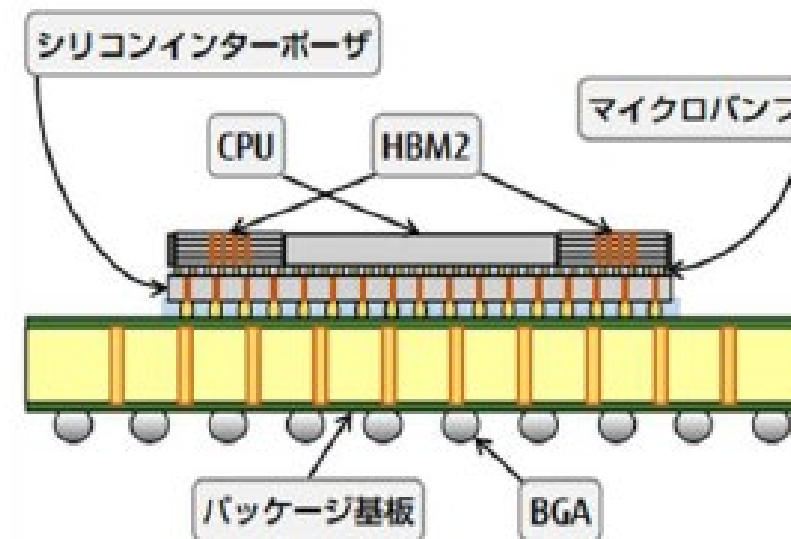
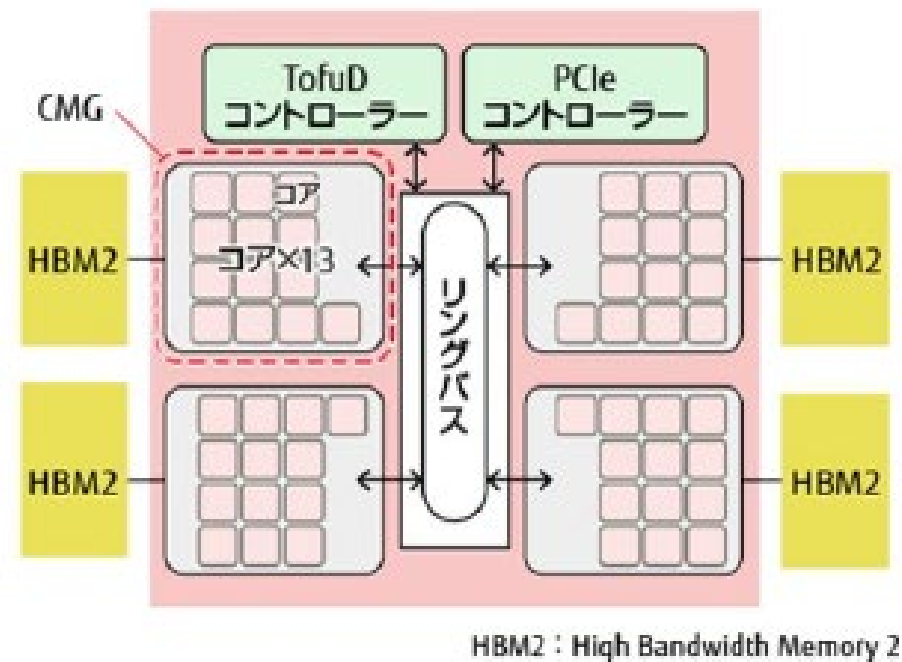
CPU チップと4 スタックのHigh Bandwidth Memory (HBM2) : シリコンインターポーザ上に搭載

CPU チップおよびHBM2は40~55 μ m ピッチのMicrobumpでシリコンインターポーザの配線層に接続。

パッケージ基板 : Ball Grid Array(BGA)と呼ばれる1mm ピッチのはんだボール端子でプリント基板に接続。

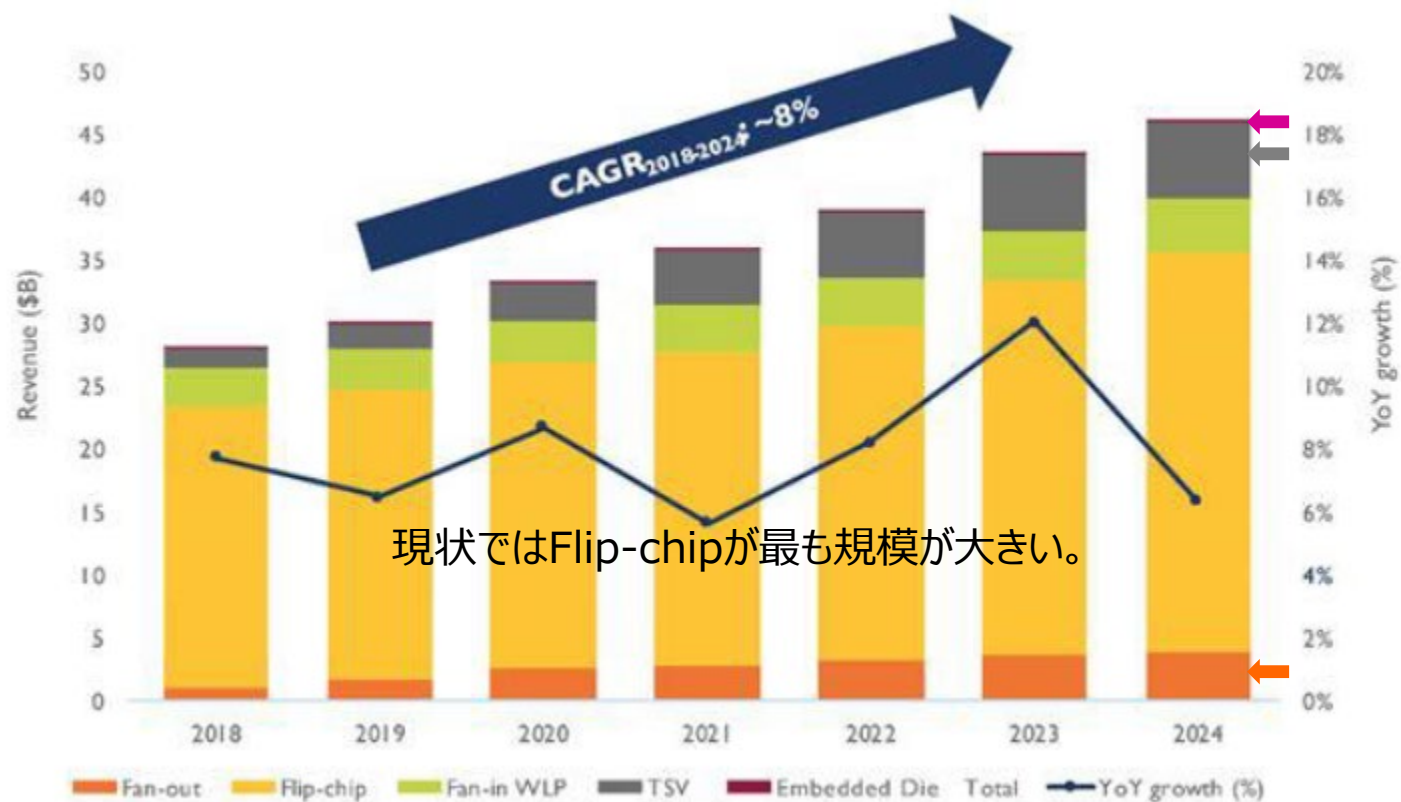
Core Memory Group (CMG)という4つのグループに分割する方式を採用。

2.5 次元パッケージの構成



<https://www.fujitsu.com/downloads/JP/jsuper/primehpc-fx1000-hard-ja.pdf>等を基にエヌ・ティ・ティ・データ経営研究所作成

形態別の市場推移・予測



出所)INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS 2020 EDITION

今後、複数チップを高集積化可能な2.5D/3D stacking (TSV)、Embedded Dieや、小型化に有利なFan-outが特に伸長すると予測されている。

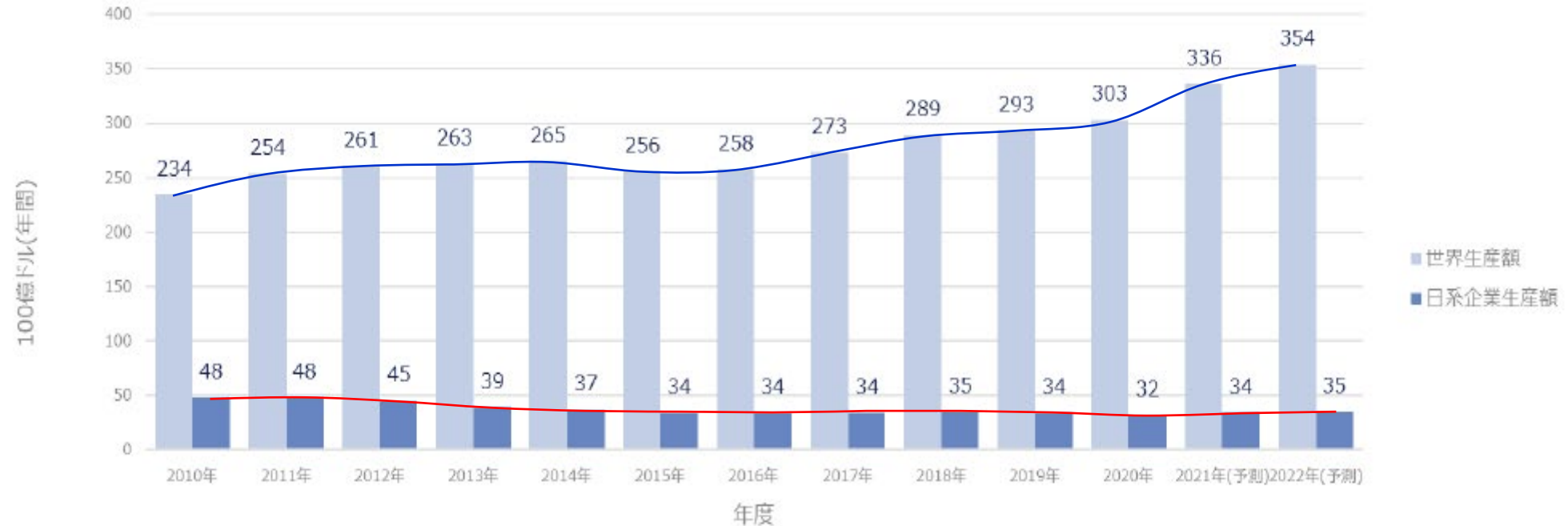
電子情報産業の世界生産・日系企業生産額推移

半導体供給不足の影響による生産遅延等の影響がありながらも、

- ・世界的に通信インフラ増強やDX向けの投資が積極的。
- ・全世界的に脱炭素・カーボンニュートラルが急加速で進む。



2022年：対前年5%増の3兆5,366億米ドル
とプラス成長の見通し



出所) <https://www.jeita.or.jp/japanese/topics/2021/1217.pdf>等を基にエヌ・ティ・ティ・データ経営研究所作成

そのような状況下で、日系企業生産額については2010年から2022年までの間で減少傾向にある。

■ 半導体産業の業態

半導体デバイスメーカー売上高ランキング

単位：百万米ドル

2021年 予測順位	2020年 順位	2019年 順位	メーカー名	国 地域	2020年 売上高	2021年 売上高 (予測)
1	2	2	Samsung	韓国	58,555	78,850
2	1	1	Intel	米国	76,328	75,550
3	3	3	TSMC	台湾	45,572	56,633
4	4	4	SK Hynix	韓国	26,094	35,628
5	5	5	Micron Technology	米国	22,542	30,087
6	6	7	Qualcomm	米国	19,357	29,136
7	8	10	Nvidia	米国	14,659	23,026
8	7	6	Broadcom	米国	15,941	18,864
9	12	16	MediaTek	台湾	10,985	17,551
10	9	8	Texas Instruments	米国	12,731	15,889

出所) <https://www.icinsights.com/news/bulletins/17-Semiconductor-Companies-Forecast-To-Have-100-Billion-In-Sales-This-Year> 等を基にエヌ・ティ・ティ・データ経営研究所作成

ファブレス売上高ランキング

単位：百万米ドル

2021年 第3四半期 順位	2020年 順位	メーカー名	国 地域	2020年 売上高	2021年 第3四半期売上高
1	1	Qualcomm	米国	19,407	7,733
2	3	Nvidia	米国	15,412	6,612
3	2	Broadcom	米国	17,745	5,430
4	4	MediaTek	台湾	10,929	4,703
5	5	AMD	米国	9,763	4,313
6	8	Novatek	台湾	2,712	1,376
7	7	Marvell	米国	2,942	1,166
8	9	Realtek	台湾	2,635	1,039
9	6	Xilinx	米国	3,053	936
10	圏外	Himax Technologies	台湾	不明	421
圏外	圏外	ソシオネクスト	日本	800	不明
圏外	圏外	メガチップス	日本	800	不明

出所) <https://www.trendforce.com/presscenter/news/20211216-11059.html> と各社決算資料を基にエヌ・ティ・ティ・データ経営研究所作成

ファウンドリ売上高ランキング

単位：百万米ドル

2021年 第1四半期 順位	メーカー名	国・地域	2021年 第1四半期売上高	2020年 第1四半期売上高
1	Taiwan Semiconductor Manufacturing Company (TSMC)	台湾	12,910	10,310
2	Samsung	韓国	4,052	3,660
3	UMC	台湾	1,603	1,402
4	GlobalFoundries	米国	1,469	1,469
5	SMIC	中国	1,059	905
6	TowerJazz	イスラエル	345	300
7	PSMC	台湾	340	283
8	VIS	台湾	327	260
9	Hua Hong	中国	288	203
10	DB Hitek	韓国	197	189

出所) <https://www.trendforce.com/presscenter/news/20210224-10675.html> を基にエヌ・ティ・ティ・データ経営研究所作成

OSAT売上高ランキング

単位：百万米ドル

2021年 第1四半期 順位	メーカー名	国・地域	2021年 第1四半期売上高	2020年 第1四半期売上高
1	Advanced Semiconductor Engineering (ASE)	台湾	1,689	1,355
2	Amkor Technology	米国	1,326	1,153
3	JCET	中国	1,033	818
4	Siliconware Precision Industries (SPIL)	台湾	858	806
5	Powertech Technology (PTI)	台湾	646	624
6	Tongfu Microelectronics (TFME)	中国	503	310
7	Tianshui Huatian Technology (HuaTian)	中国	400	242
8	KYEC	台湾	267	232
9	Chipbond	台湾	227	185
10	ChipMOS TECHNOLOGIES	台湾	225	177

出所) <https://www.trendforce.com/presscenter/news/20210519-10791.html> を基にエヌ・ティ・ティ・データ経営研究所作成

IPベンダー売上高ランキング

単位：百万米ドル

2019年 順位	メーカー名	国・地域	2018年 売上高	2019年 売上高
1	ARM	イギリス	16,100	16,080
2	Synopsis	米国	6,298	7,169
3	Cadence Design Systems	米国	1,888	2,320
4	Silicon Storage Technology (SST)	米国	1,048	1,150
5	Imagination Technologies	イギリス	1,246	1,011
6	Ceva	米国	779	872
7	Verisilicon	中国	663	698
8	Achronix	米国	525	500
9	Rambus	米国	499	488
10	eMemory Technology	台湾	479	468

出所) https://s3.i-micronews.com/uploads/2020/10/IR20186-Design-IP_Extract.pdf を基にエヌ・ティ・ティ・データ経営研究所作成

半導体製造装置売上高ランキング

単位：百万米ドル

2020年 順位	メーカー名	国・地域	2020年 売上高
1	Applied Materials	米国	16,365
2	ASML	オランダ	15,396
3	Lam Research	米国	11,929
4	東京エレクトロン	日本	11,321
5	KLA-Tencor	米国	5,443
6	Advantest	日本	2,531
7	SCREEN	日本	2,331
8	Teradyne	米国	2,259
9	日立ハイテク	日本	1,717
10	ASM International	オランダ	1,516

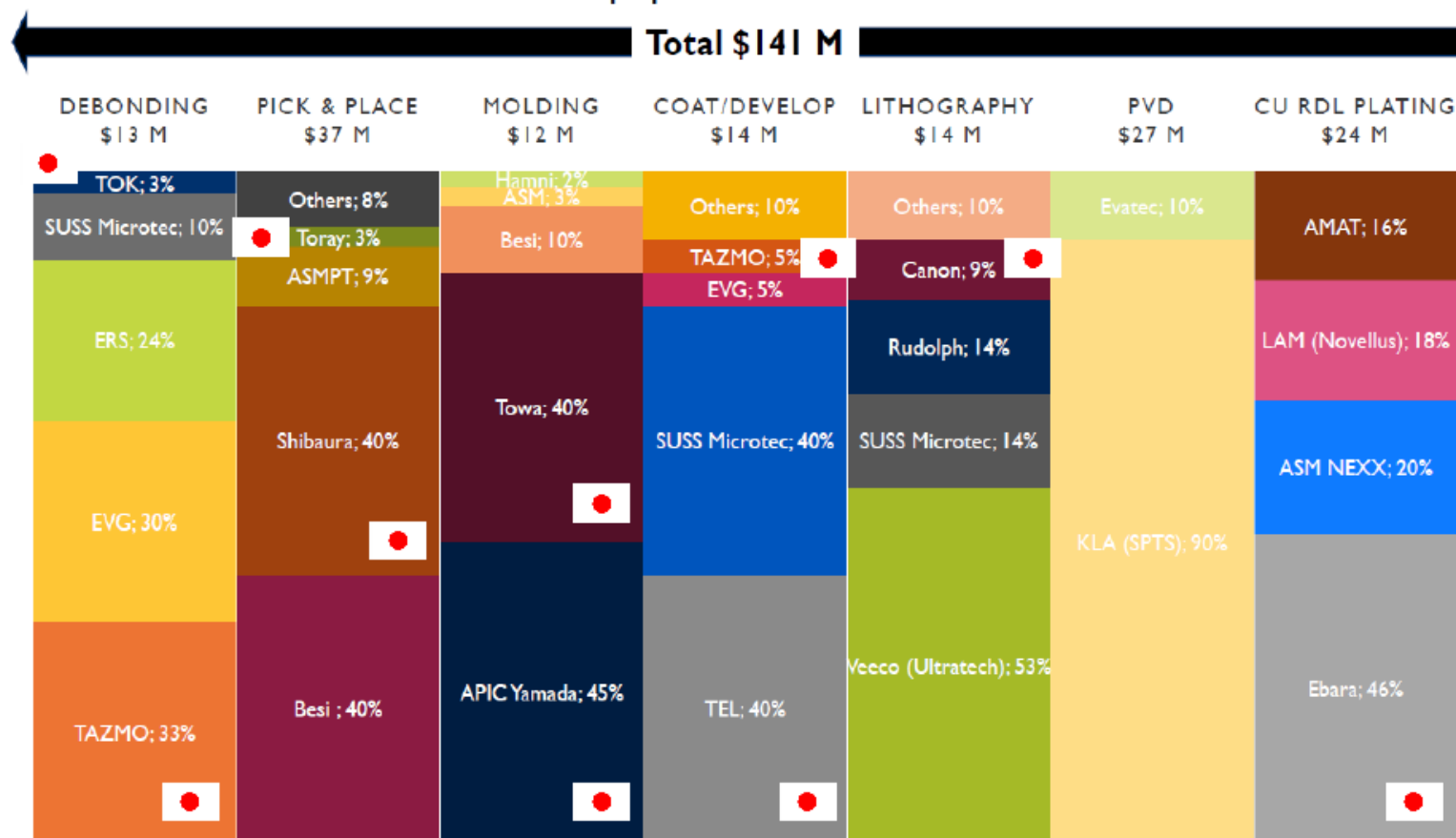
出所) <https://www.vlsiresearch.com/the-chip-insider/2020-top-semiconductor-equipment-suppliers> を
基にエヌ・ティ・ティ・データ経営研究所作成

日本企業4社が10位以内

FOWLP (Fan-out Wafer Level Package) 向け製造装置シェアランキング@2018

FOWLP MARKET SHARE SUMMARY* IN 2018: EQUIPMENT

2018 Global Equipment Market for FOWLP



*Market data includes key process steps that reflects Fan-Out Packaging characteristics and relevance.
 *This is non-exhaustive. For details, please refer to sub-chapter "Segmentation, Report Focus, Definition".

半導体材料メーカーの世界シェア

世界の半導体材料市場における日本企業のシェアは5割に達するとされている。

材料	主要メーカー
シリコンウエハ	信越化学工業、SUMCO
半導体洗浄液	住友化学、富士フイルム
エッチングガス	昭和電工、ADEKA

出所) <https://www.nikkei.com/article/DGXXKZO46830830S9A700C1EA2000/>等を基にエヌ・ティ・ティ・データ経営研究所作成

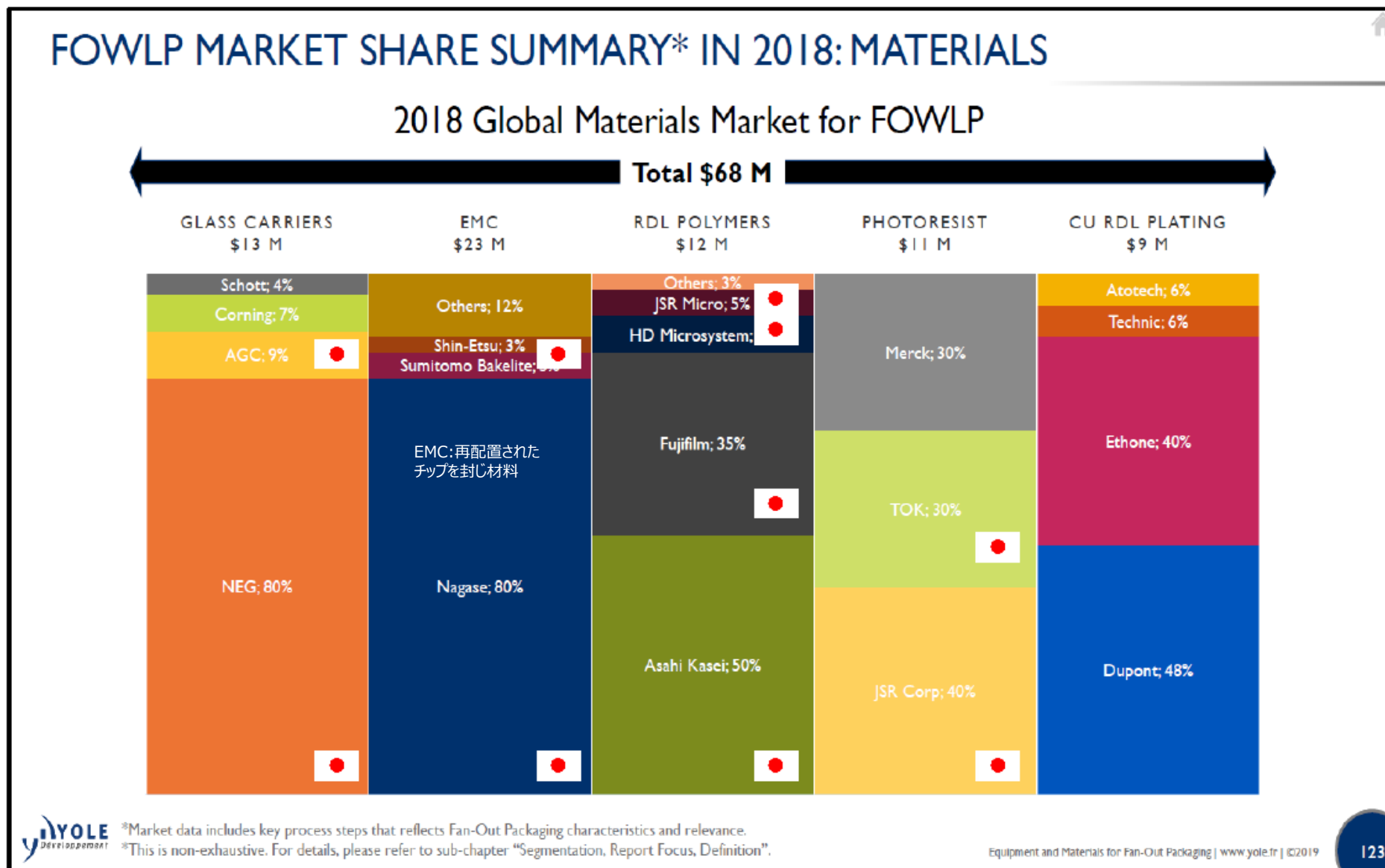
機構部品：

静電チャックや直動部品などコアとなる要素部品や樹脂原料となるモノマーなどサプライチェーンに高シェアを持つ日本企業は多い。

資源：

高純度フッ酸の原料となる蛍石やエッチングや無電解メッキ液原料となる黄燐は、海外（中国、米国、ベトナム）からの輸入に頼る。

半導体材料出荷シェアランキング@2018

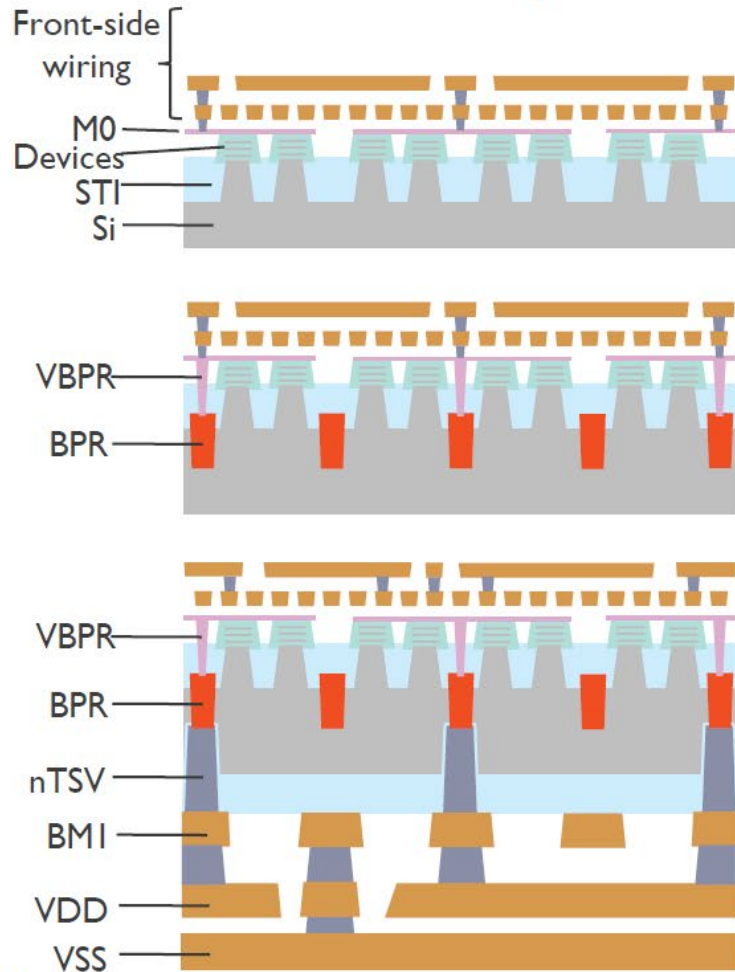
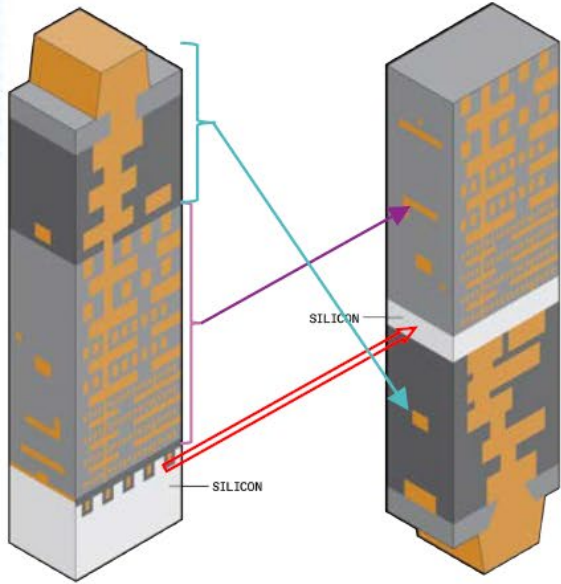


内 容

1. 日本の半導体産業の競争力 -NEDO技術調査委員会報告書
2. **先端パッケージ技術と3D集積/接合プロセス**
 - 2-1 **デバイス接合と3D集積プロセス** -imecでの取組み最前線
 - 2-2 3D接合技術 -ダイレクト3D積層技術@RaaS
3. WoW, CoW技術実用化動向
4. 先端パッケージ技術に係る提言 -NEDO技術調査委員会

Backside Power delivery network (PDN)

Concept and integration via last to Buried power rail



BPR: buried power rail,
VBPR: via to BPR
PDN: Power distribution network

NEXT-GEN CHIPS WILL BE POWERED FROM BELOW

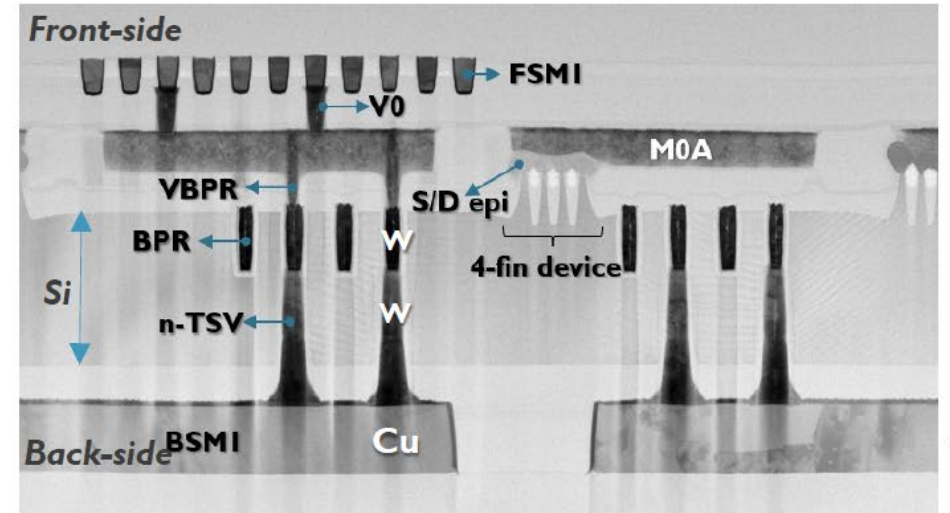
Buried interconnects will help save Moore's Law

IEEE Spectrum September 2021

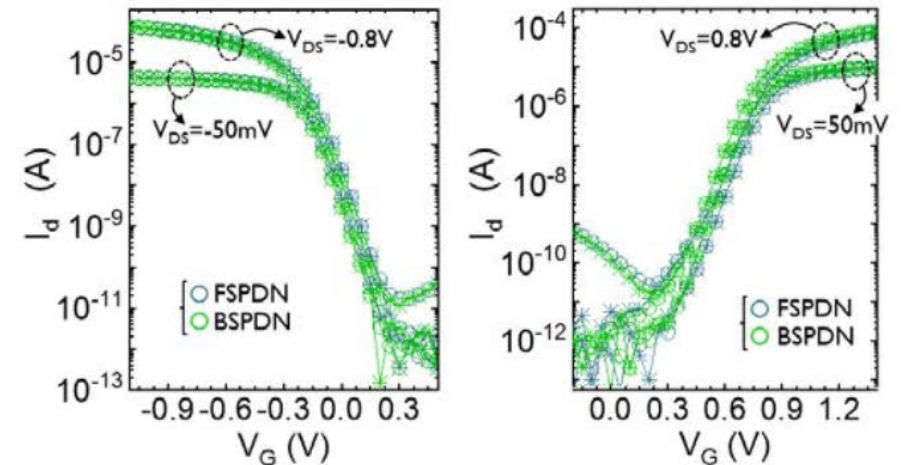
FSPDN: front-side PDN

BSPDN: back-side PDN with nTSV

FinFETs with BPR and back-side power distribution



Device comparison: Front-side vs back-side connectivity



T01-2 Scaled FinFETs Connected by Using Both Wafer Sides for Routing via Buried Power Rails

A. Veloso et al., imec / VLSI2022

[d.labセミナー (d.lab協賛事業) 国際学会報告会 (VLSI2022) 資料]

▶ BPRを用いたWf接合によるBSPDN型FinFETのプロセス、動作実証

FinFET: $6\text{nm} \leq W_{\text{fin}} \leq 15\text{nm}$, $L_g \geq 20\text{nm}$, ESL: $50\text{nm-Si}_{0.75}\text{Ge}_{0.25}/500\text{nm-Si}$, BPR: 45nmW , 120nmPitch in STI

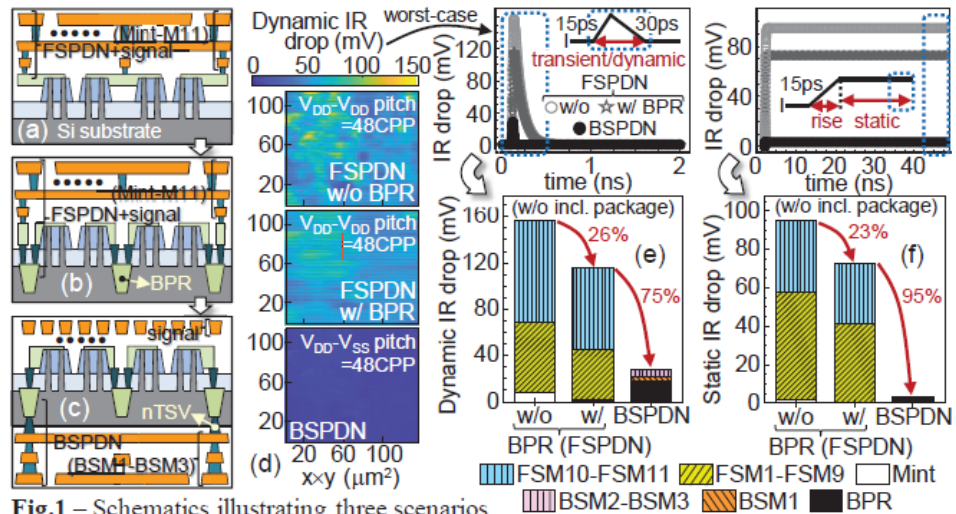
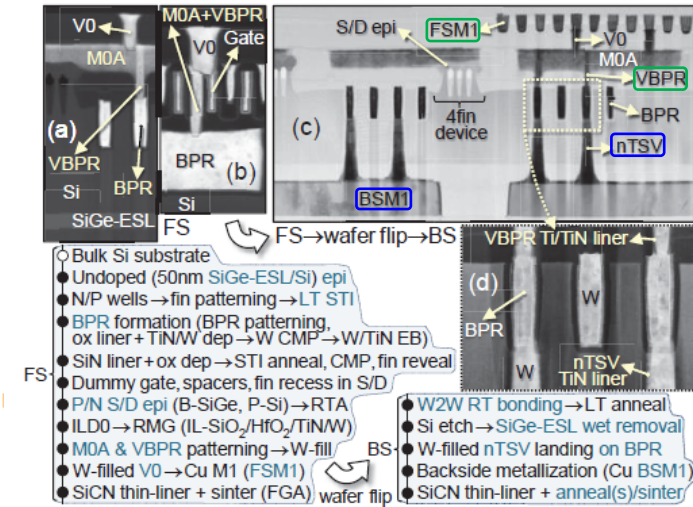
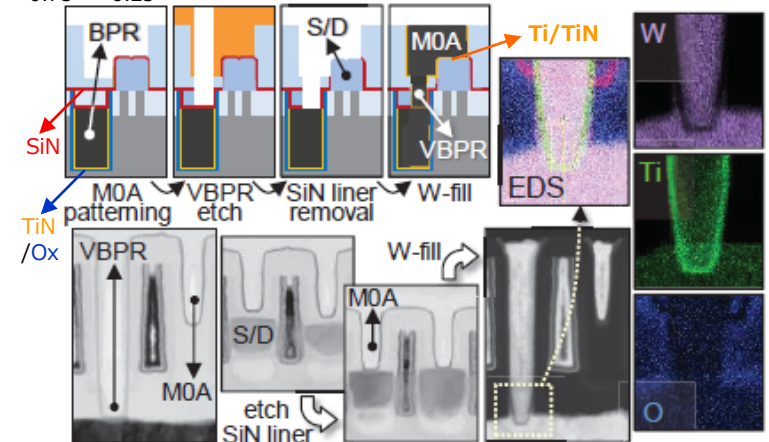


Fig.1 - Schematics illustrating three scenarios

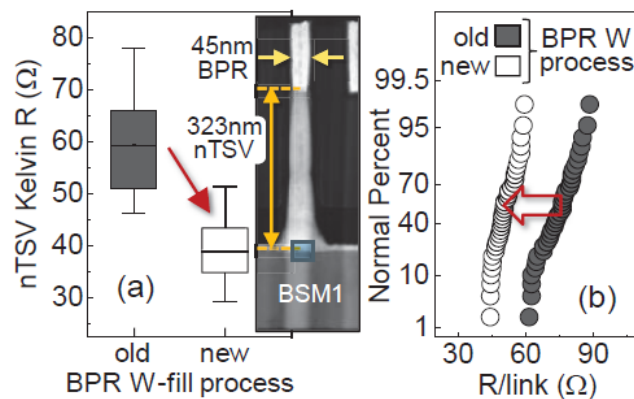
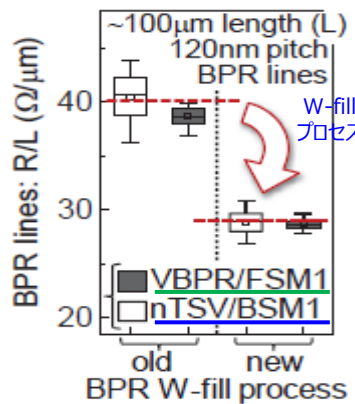
FSPDN ⇒ FSPDN+BPR ⇒ BSPDNによる性能向上 (Simulation)
(64-bit CPU/2nm, $V_{\text{dd}}=0.7\text{V}$)



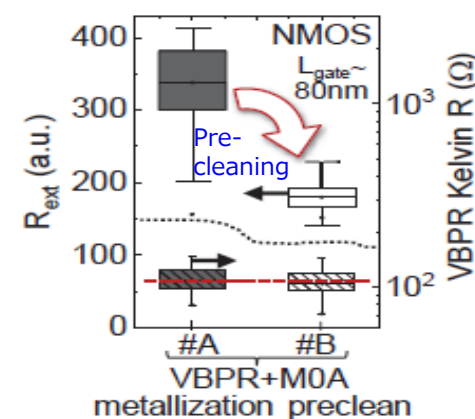
- 1) FinFET形成/SiGe-ESL, S/D → MOA
- 2) W2W LT bonding, Si薄化 → nTSV → BPR, BSM1



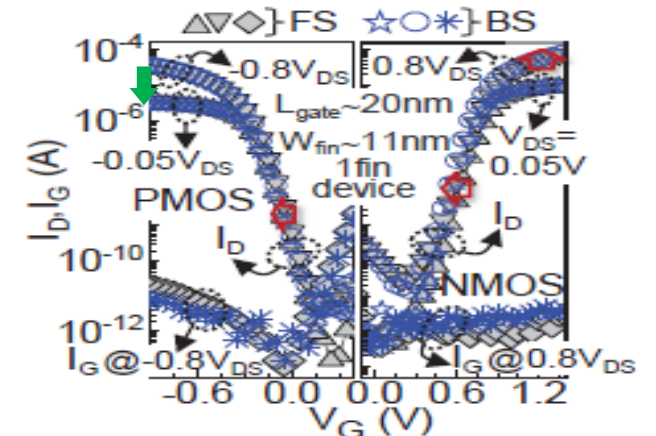
BPR. Gate, MOA, VBPR, V0, nTSV: W, M1 (FS, BS): Cu



W-fillプロセスにより、BPRとのコンタクト抵抗を含む R_{nTSV} と Linkチェーン抵抗 $[(R_{\text{BSM1}} + R_{\text{BPR}})/2 + R_{\text{nTSV}}]$ を抑制

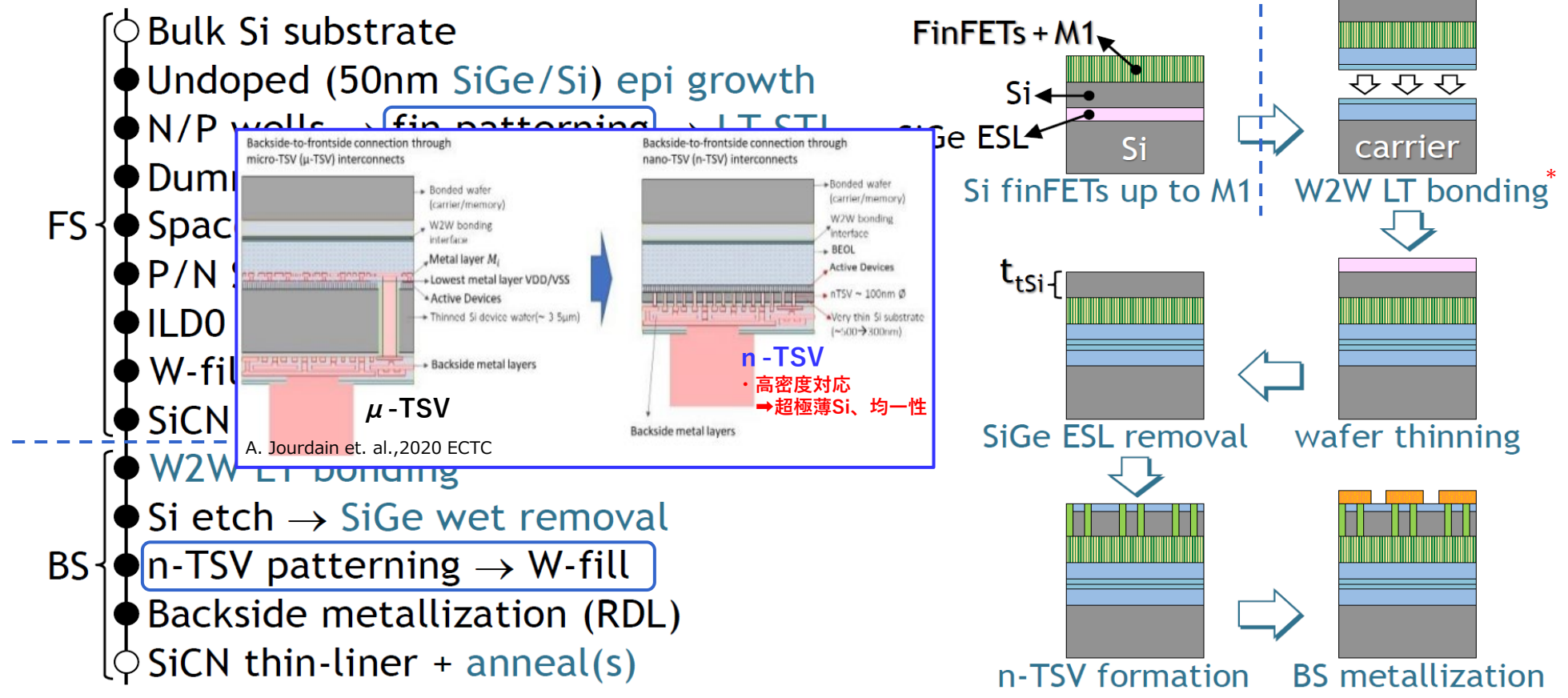


メタリゼーション時のpre-cleaning最適化により、 $R_{\text{MOA-S/D}}$ が抑制 ⇒ $R_{\text{ext}} \downarrow \rightarrow I_{\text{on}} \uparrow$



FS, BSプロセス処理後のN/PMOSの $I_{\text{D}}-V_{\text{G}}$ 特性 (FSM1, BSM1上にプロービングして測定)
 I_{D} : FS ⇒ BSでNMOS ↑, PMOS ↓

Process flow for device fabrication



<TFS2-6>

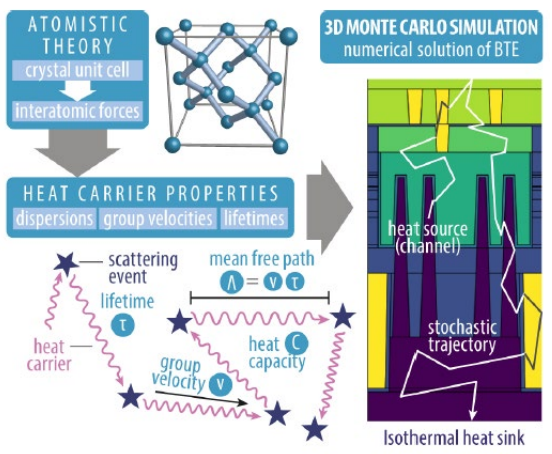
2021 Symposia on VLSI Technology and Circuits

Slide 4

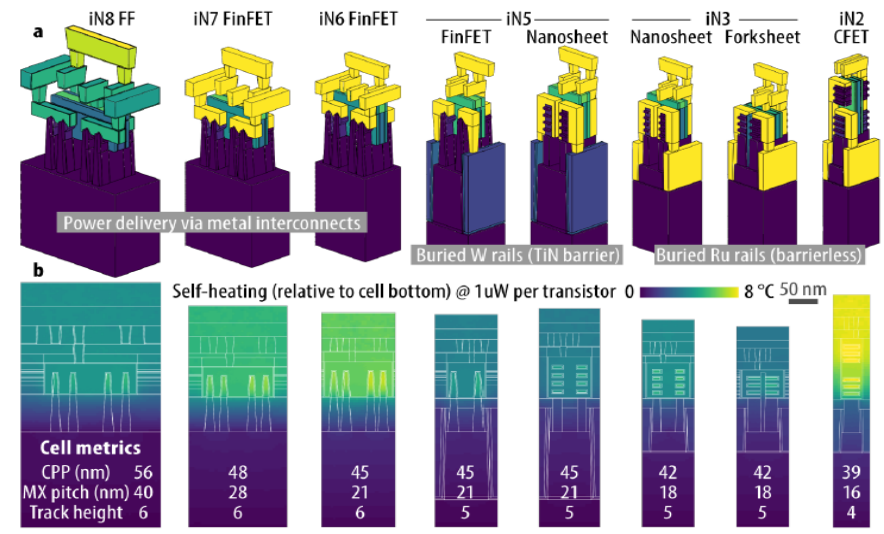
* SiCN-SiCN fusion bond@RT+ PBA@250°C



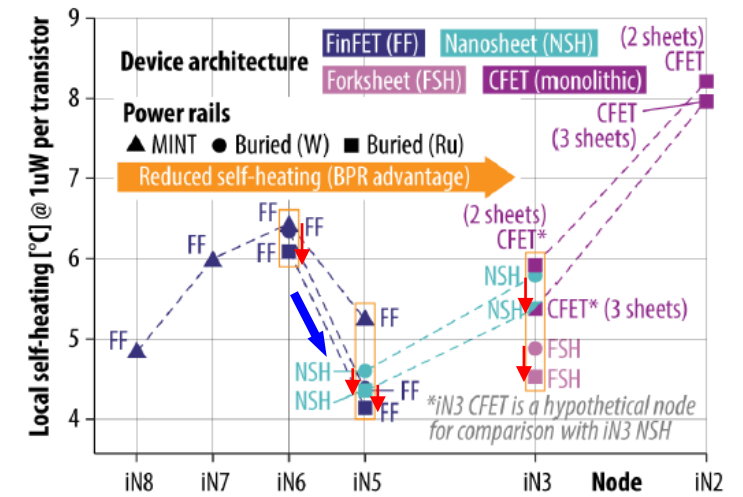
▶ Fin FET(N8-5), NS(N5-3)-, FS(N3)-, Monolithic-CFET(N2)の発熱特性の解析



3Dモンテカルロ熱シミュレーション

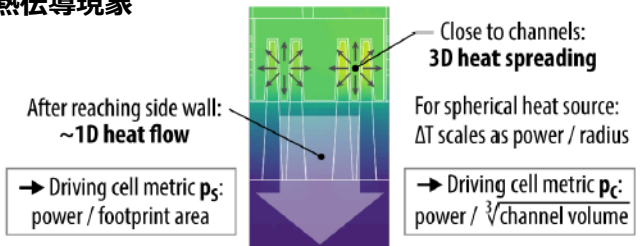


Tech. Node毎のインバーターセルの熱抵抗(R_{th})計算結果 (Cell size, Fin数に依存)



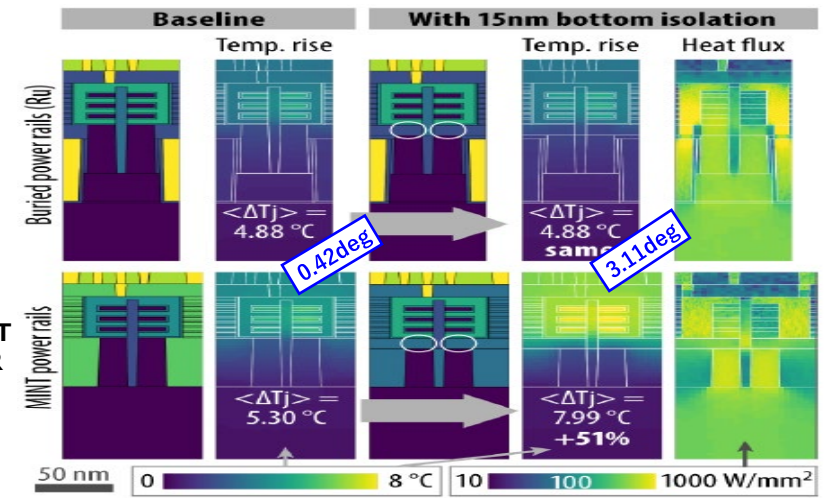
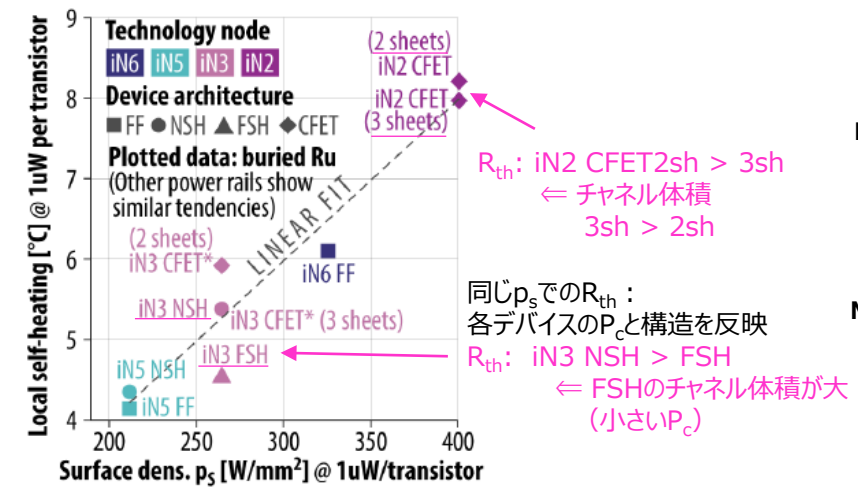
R_{th} : Tech. NodeでのTr数、Cell sizeに応じて R_{th} が変化
Fin #: 2→1@iN5、BPR: W→Ruで R_{th} ↓ @iN6-3

熱伝導現象



R_{th} : チャンネルから側壁に向かう3D的熱拡散(p_c)とヒートシンク方向への1D的熱伝導(p_s)で決まる

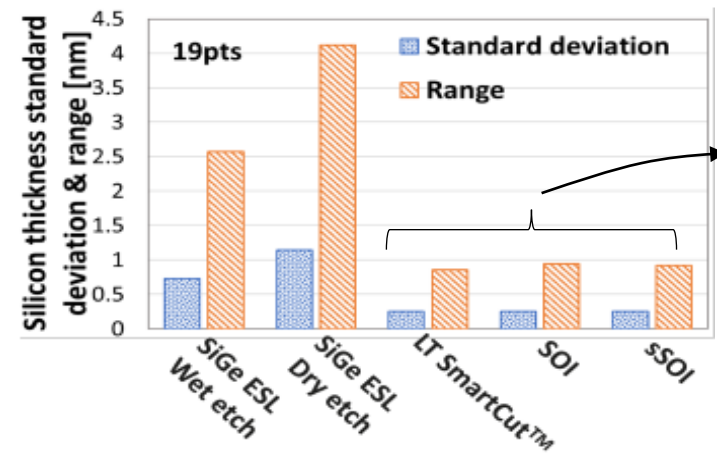
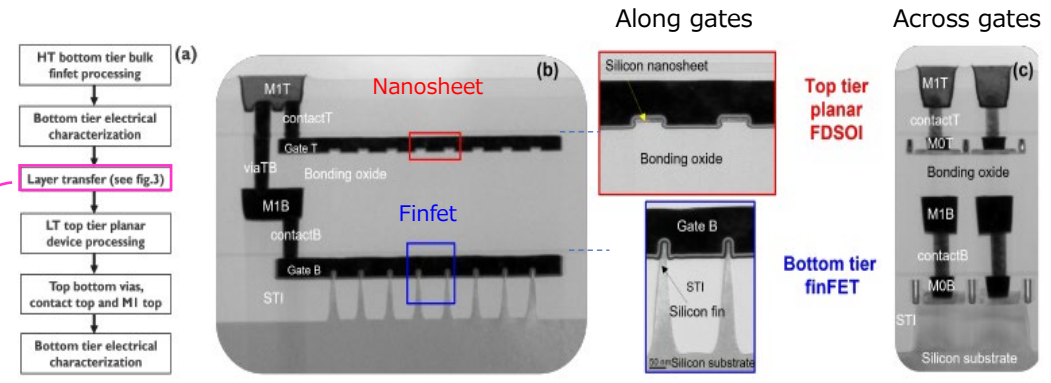
傾向として、 $R_{th} \propto P_s$ (power/footprint area)



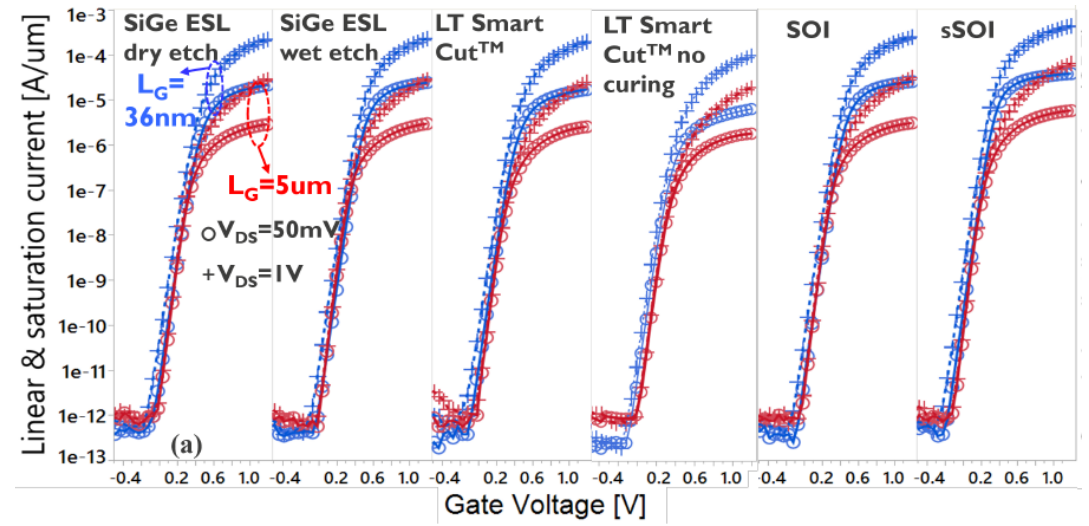
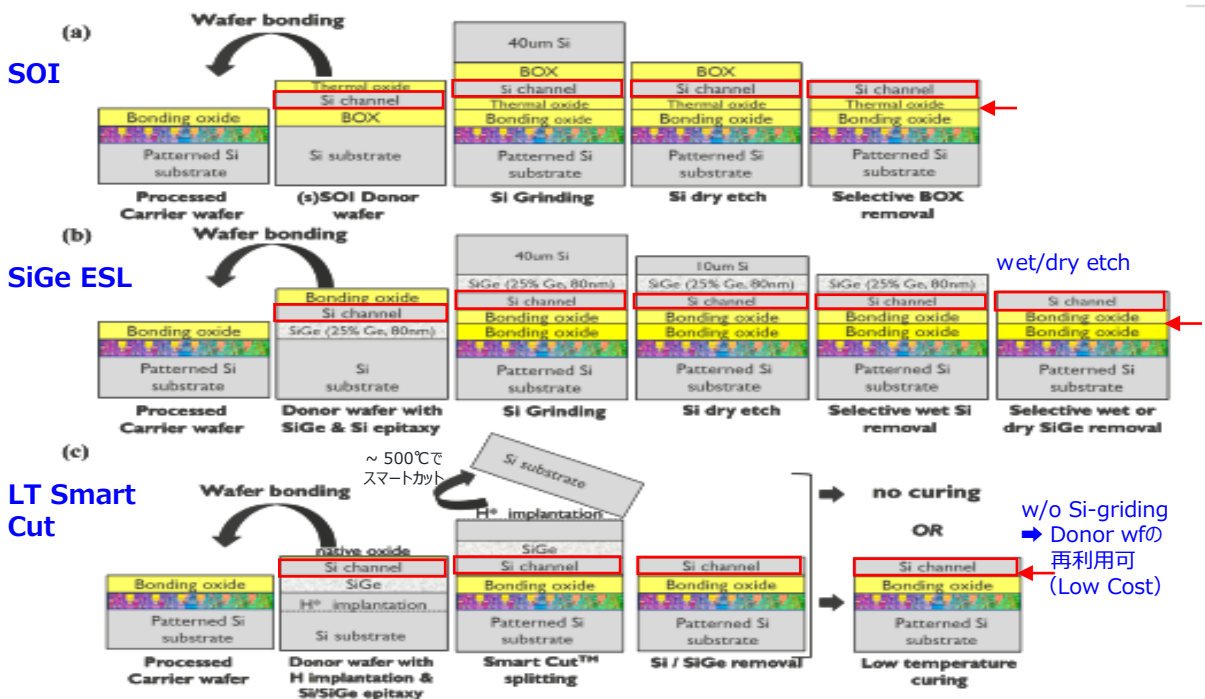
T06-2 Demonstration of 3D sequential FD-SOI on CMOS FinFET stacking featuring low temperature Si layer transfer and top tier device fabrication with tier interconnections

A. Vandooren et al., -imec, SOITECH, LETI /VLSI2022

▶ Bulk FinFET層上にNSデバイス層を積層するlayer transferの検討



接合後のSiチャンネル層厚均一性：
 ・SOI, LT Smart Cut < 1nm
 ・SiGe ESL >> 1nm
 ∴ Si Gridding, エッチング選択比(Si/Ge)

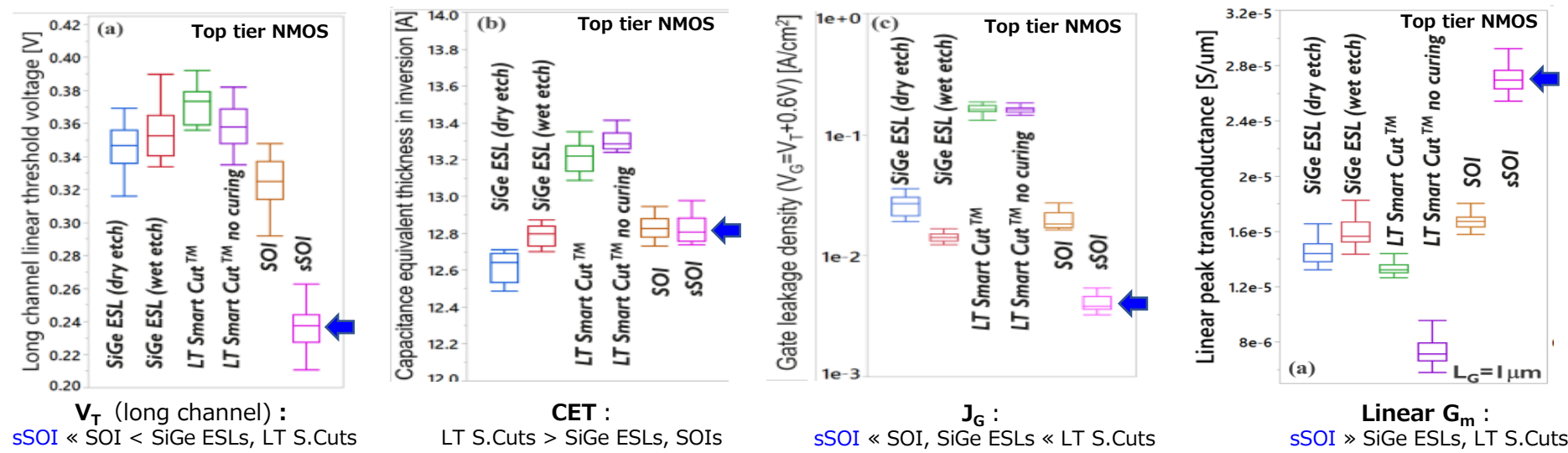


Top tier NMOS I_D-V_G 特性：ほぼ同等

3D接合⇒ Si Channel層の露出

T06-2 Demonstration of 3D sequential FD-SOI on CMOS FinFET stacking featuring low temperature Si layer transfer and top tier device fabrication with tier interconnections

A. Vandooren et al., imec, SOITECH, LETI /VLSI2022

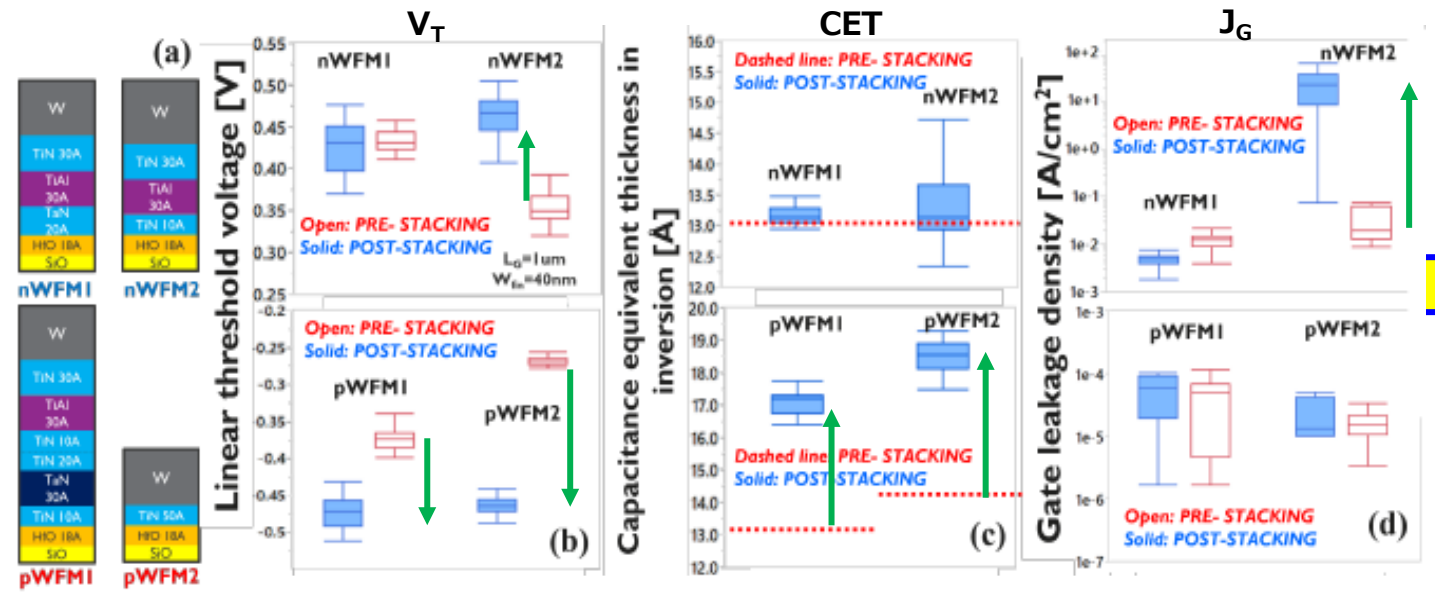


Layer transfer	pWFM1 $ \Delta V_T $	nWFM2 $ \Delta V_T $
LT Smart Cut™	92mV	80mV
SiGe ESL	97mV	-
SOI	-	100mV

ΔV_T : layer transfer法に依らない

Gate Stack 材料の考察
WFM材料依存性@btm

nMOS
Bottom tier
N, PMOSの接合前後の
特性変化
 V_T , CET, J_G



接合工程以降の熱処理でbtm電極のeWFがmig gap方向に向かう

	傾向	NMOS	PMOS
V_T	増大	△ 一部で増大	× 増大
CET	一部増大	～ 変化なし	× 増大
J_G	一部増大	△ 一部で増大	～ 変化なし

・Th. Budget : 最小限に抑制
・Metal Gate材料 : 最適選択

※ HK/MGプロセス開発と同じシナリオ

34-7 Buried Power Rails and Nano-Scale TSV: Technology Boosters for Backside Power Delivery Network and 3D Heterogeneous Integration

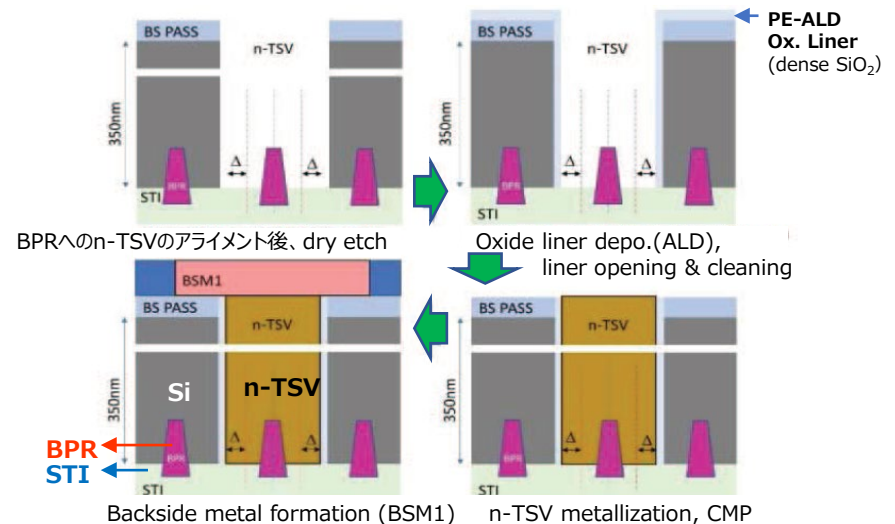
Anne Jourdain et al., - Imec /VLSI2022

▶ 低抵抗化を目指した裏面電源供給網 (BPDN)用の材料、プロセスの検討

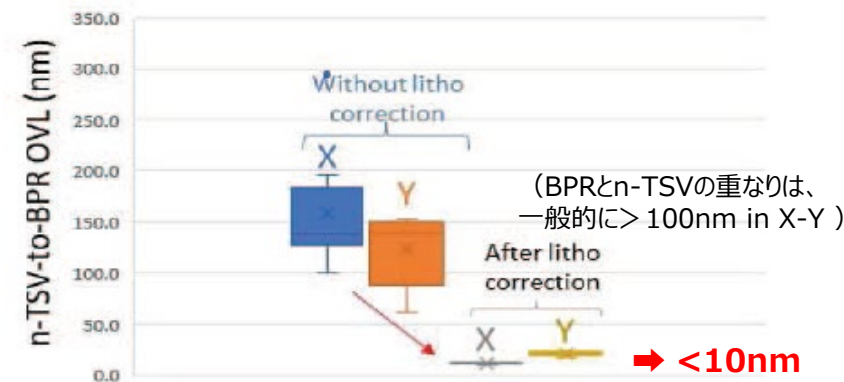
BSPDNプロセスのKey issues:

- 1) n-TSV, BPR用低抵抗材料
- 2) BPR-nTSV領域のSi薄化
- 3) BPR-nTSVの高精度アライメント
- 4) BPR-nTSVの低抵抗コンタクト

BSPDN用W2W接合技術の進展→アライメントエラーの大幅改善



n-TSVのBPRとの高精度アライメント

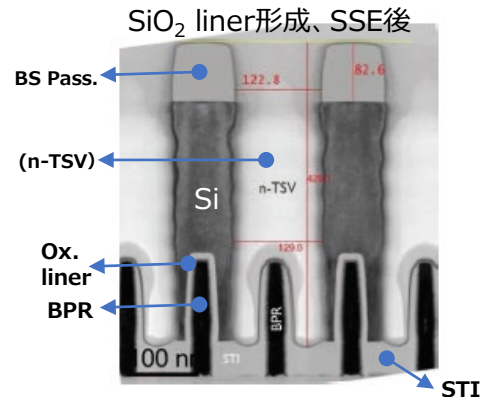


Adv. litho. Correction technique によるn-TSVとBPRとのずれ量

Bosch etchによるnTSV用ホール形成

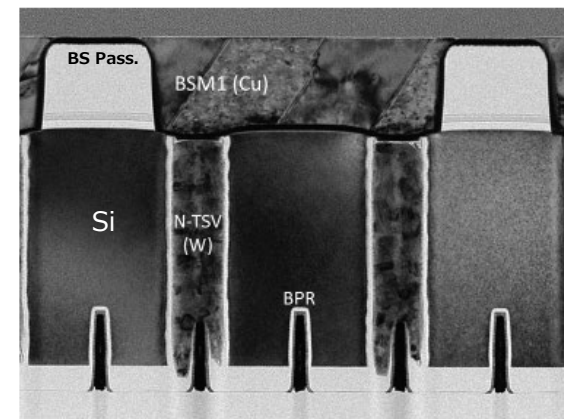
- Bosh etch (High ER: Si/Ox)
- Liner depo. (n-TSV内)-ALD 10nm
- Liner opening (n-TSV底)-10~20s
- BPR表面の極薄酸化層を除去/cleaning
- Soft Sputter Etch (SSE)
 - W-BPR: 8nm oxide相当のetch
 - Ru-BPR: 3nm oxide相当のetch (Ruは柔らかい)
- ALD TiN depo. (5nm)
- n-TSV形成 (CVD-W, Ru) + CMP

n-TSVホールエッチ後の構造



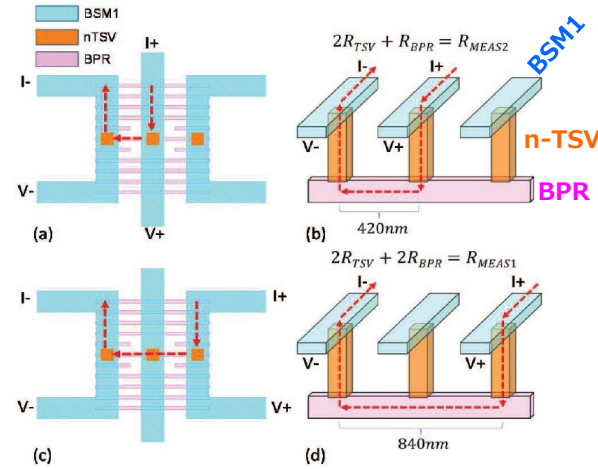
Daisy chain構造

n-TSV形成 + Cu damasceneによる Backside metal layer (BSM1)形成



電特測定 : BPR, n-TSVのDC抵抗 (FETのSW速度→IC性能に影響)

抵抗値算出は、XTEM測定結果を反映させて計算



n-TSV Kelvin抵抗構造

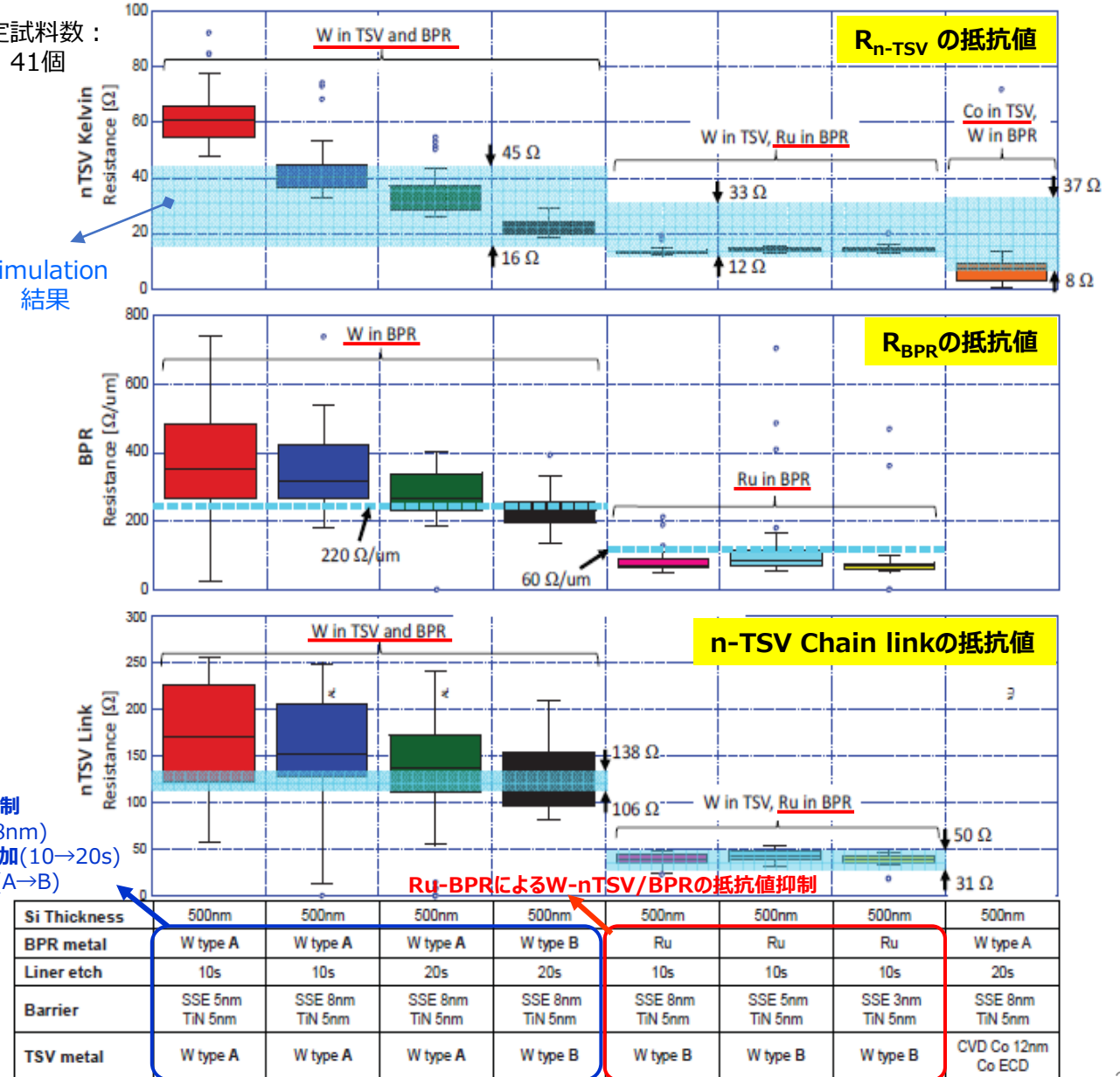
2つの連立方程式
 → 1個の R_{n-TSV} 値
 → 420nm(BPR)毎の R_{BPR} 値

n-TSV Chain構造

n-TSV Link抵抗:
 → chain全長の抵抗を
 n-TSVの数(1902個)
 で割った値

測定試料数 : 41個

Simulation 結果



BSPDNプロセスの新たな知見が得られた

- SiWf 薄化; $t_{si\ cap}$; 350nm
- Adv. lithography; Overlay error < 10nm
- 低抵抗金属材料の採用 ; W(Co)-nTSV+Ru-BPR

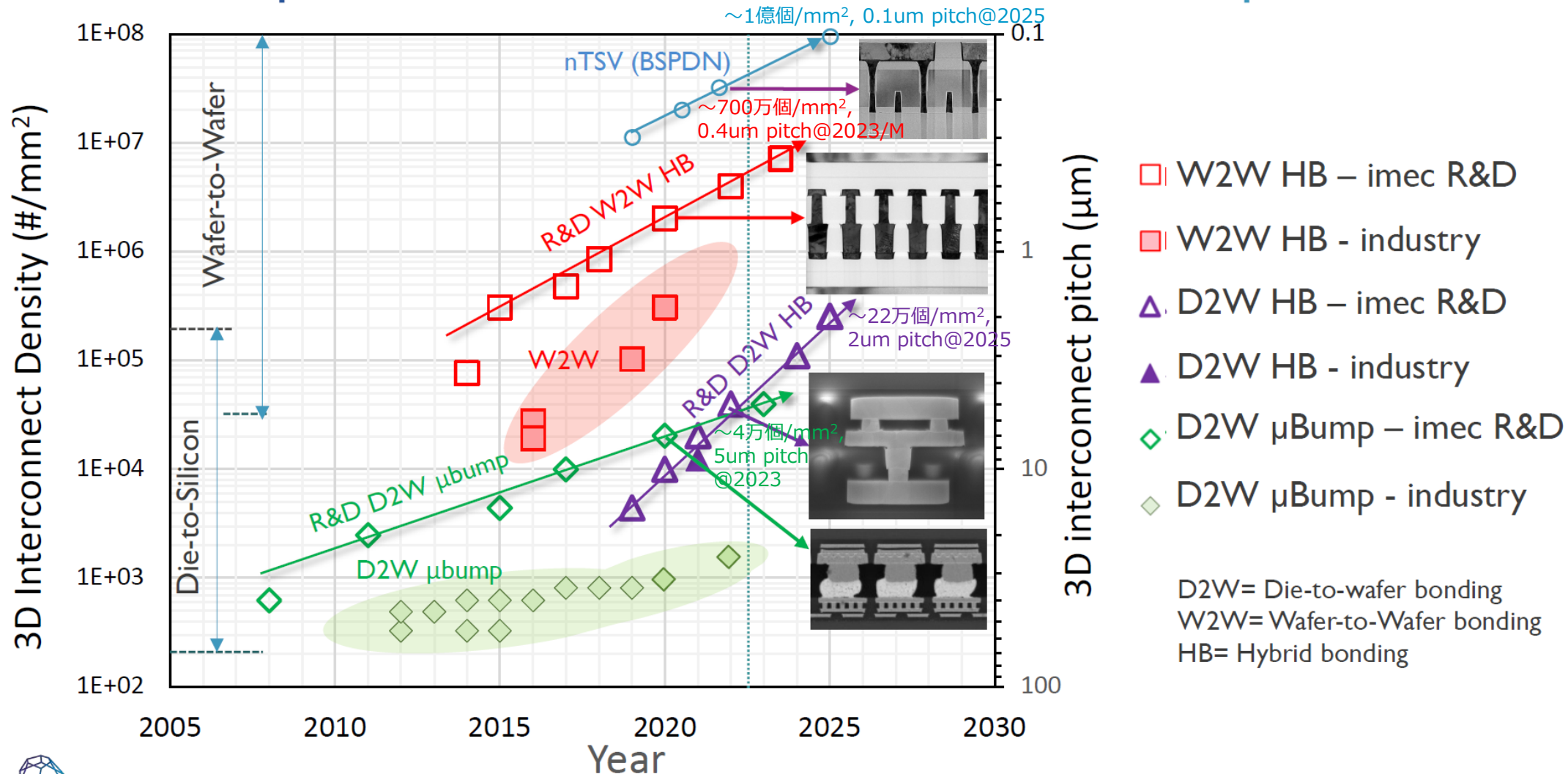
W-nTSV/BPRの抵抗値抑制

- 1) SSE時間の増加(5→8nm)
- 2) Liner etch時間の増加(10→20s)
- 3) W-TSVタイプの変更(A→B)

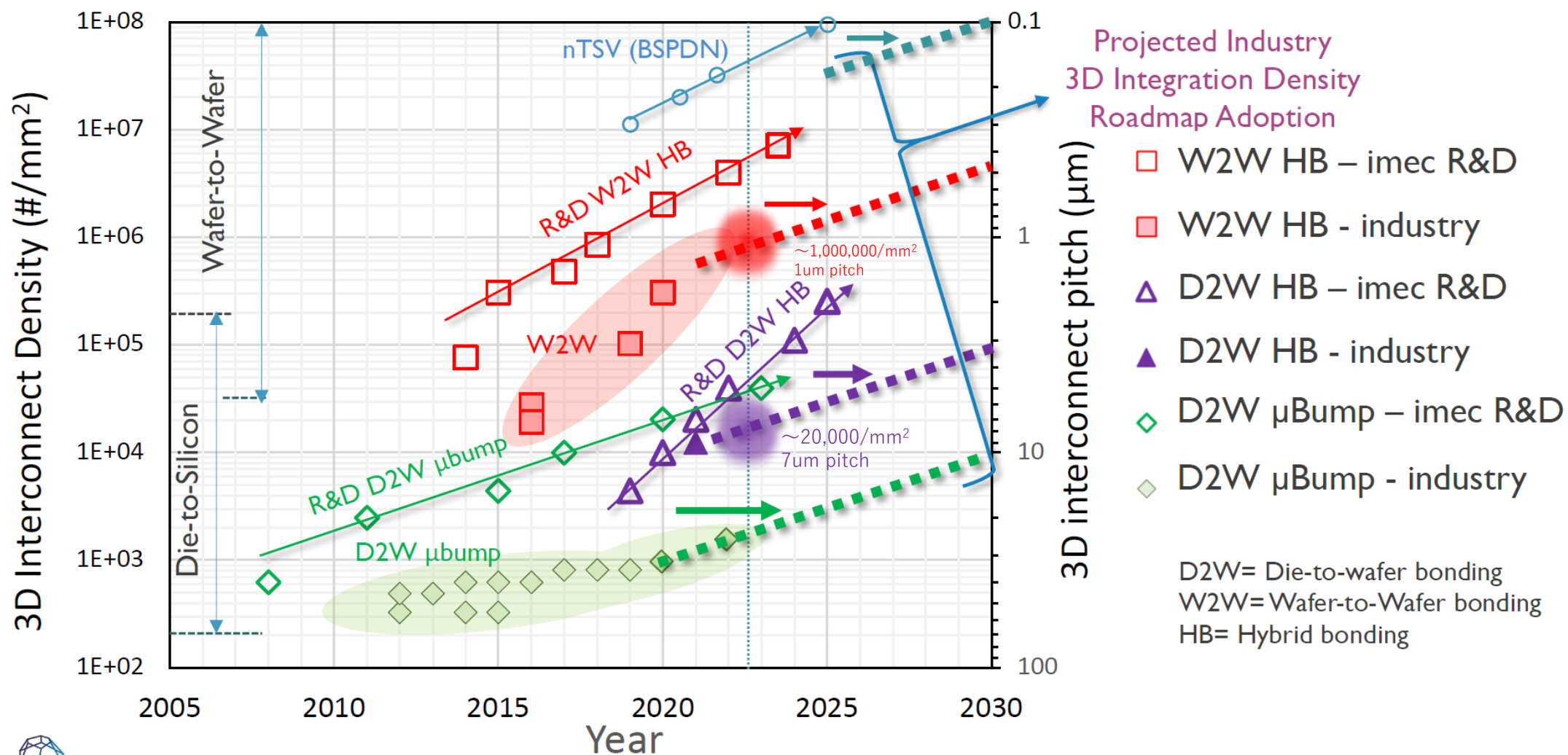
Ru-BPRによるW-nTSV/BPRの抵抗値抑制

デバイス接合技術の動向

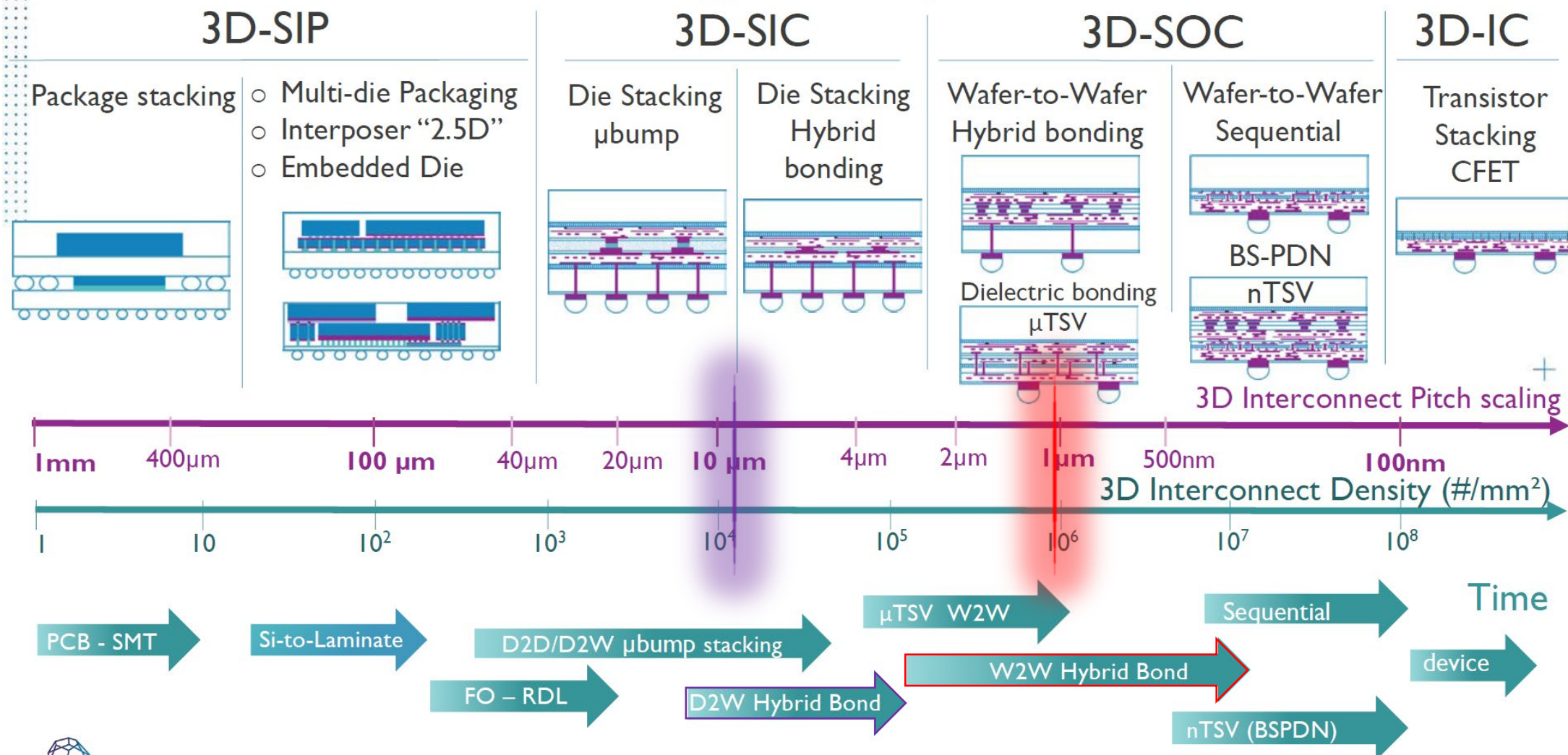
3D Landscape and imec 3D Interconnect R&D Roadmap



3D Landscape and imec 3D Interconnect R&D Roadmap



The 3D Interconnect Technology Landscape

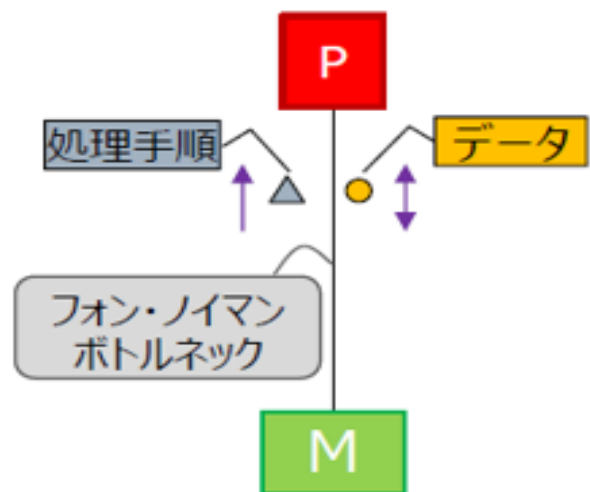


内 容

1. 日本の半導体産業の競争力 -NEDO技術調査委員会報告書
2. **先端パッケージ技術と3D集積/接合プロセス**
 - 2-1 デバイス接合と3D集積プロセス -imecでの取組み最前線
 - 2-2 **3D接合技術** -ダイレクト3D積層技術@RaaS
3. WoW, CoW技術実用化動向
4. 先端パッケージ技術に係る提言 -NEDO技術調査委員会

信号処理方式の変遷

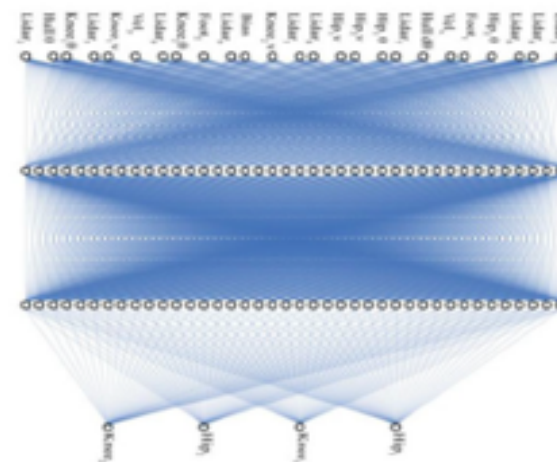
<最近の先端半導体技術のパラダイムシフト>



フォンノイマンアーキテクチャ
 逐次処理
 プロセッサとメモリが主役

1970年代~2010年代の半世紀

ニューロン
 シナプス



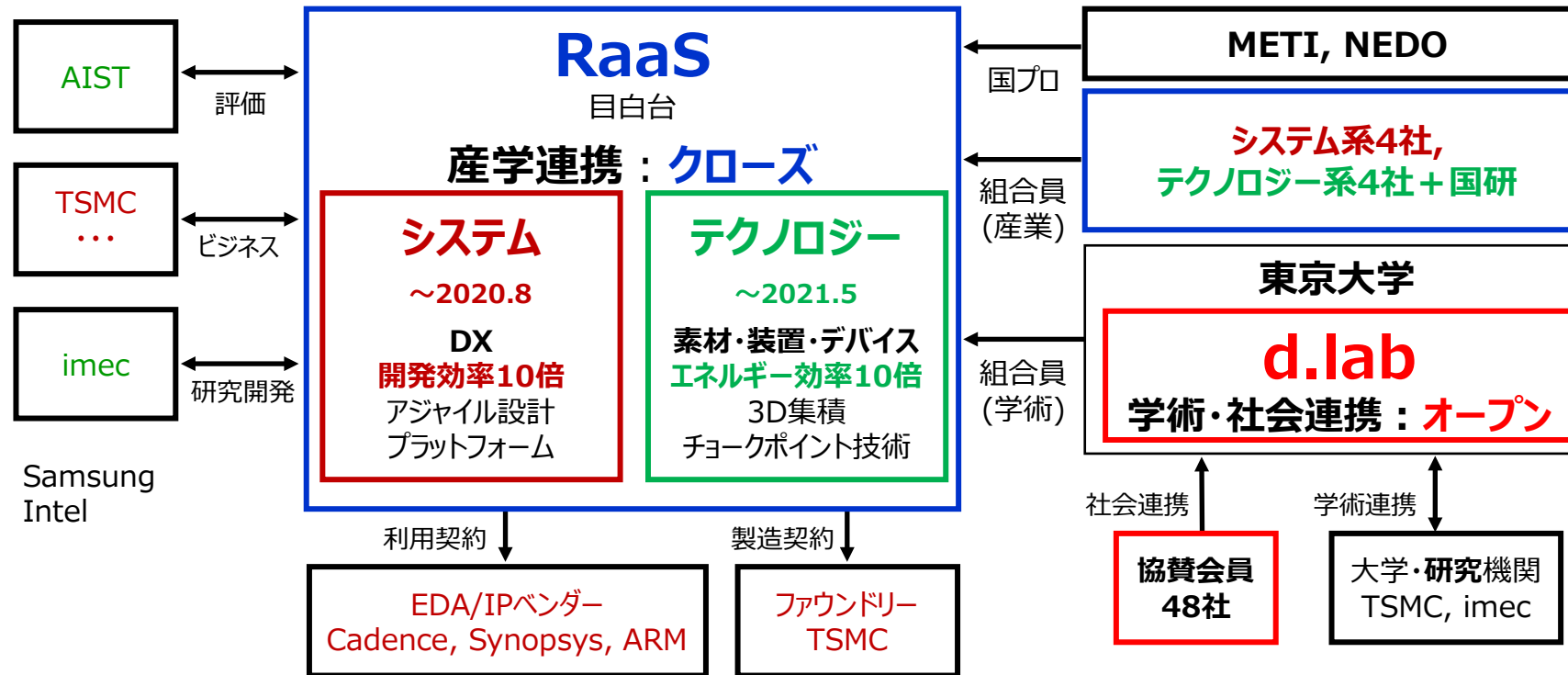
神経回路網
 並列処理
 配線接続が主役

2020年代からの半世紀

d.lab, RaaSの体制

d.lab: システムデザイン研究センター@東京大学大学院 東大-TSMC連携下で2019.11設立
RaaS: 先端システム技術研究組合* 2020.8発足

*: Research Association for Advanced Systems



<http://www.dlab.t.u-tokyo.ac.jp/>
<https://raas-cip.org>

d.lab 協賛事業 (48 企業)

社会・産業・技術の大きな変化に対応した日本の半導体産業戦略に関する幅広い意見交換

目標: 主要な課題を特定し、共同研究開発のきっかけづくり

Material	Chemistry	Equipment	Device	Design	System	Service
富士フイルム	JSR	東京エレクトロン	ソニー	ソシオネクスト	日立	住友商事
昭和電工マテ	JCU	アドバンテスト	ローム	大日本印刷	IBM	長瀬産業
コベルコ科研	旭化成エレ	ウシオ電機	ルネサス	凸版印刷	富士通	豊田通商
オルガノ	三菱ケミカル	ギガフォトン	キオクシア	ケイデンス	三菱電機	
東洋紡	ダイキン工業	日本電子	サムスン	シノプシス	ミライズテクノロジー	
東レ	東京応化工業	神戸製鋼	マイクロン	シーメンス	パナソニック コネク	
	信越化学工業	SCREEN	村田製作所		パナソニックインダストリー	
		ディスコ	アナログ・デバイスズ			
		ニコン	半導体エネルギー研			

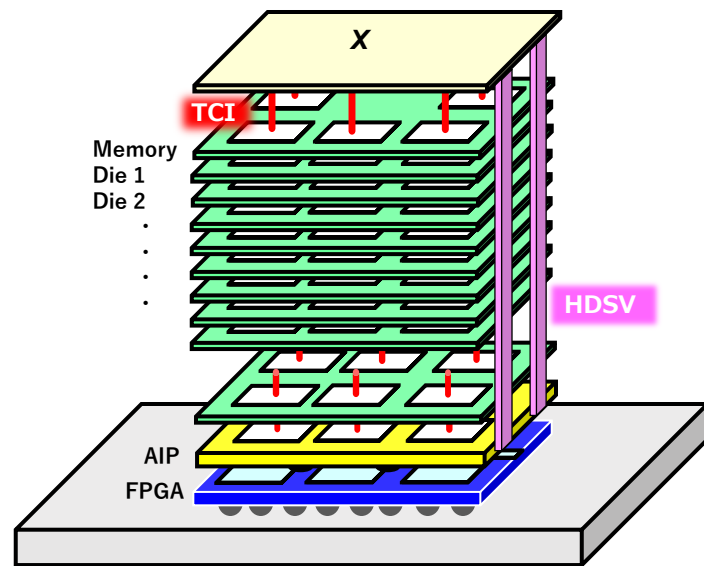
これまで、*imec Day, TSMC Day, IBM Day, d.lab Day*をはじめ、国際会議報告会、企業報告会
(担当幹部との語らい、メンバー同士の交流、現地訪問、学生との語らい、東大の研究紹介)

システムデザイン研究センター(d.lab) の取組み例

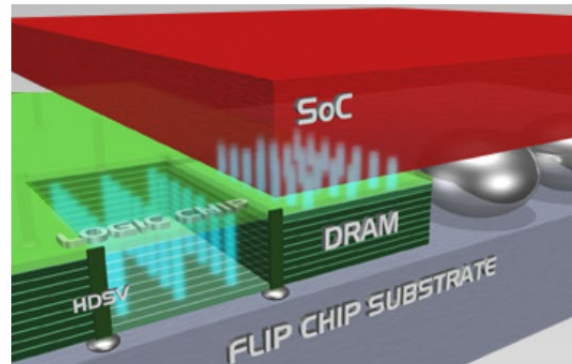
システム系

FPGA+積層SRAM具現化 - システム検証とプロセスの検討

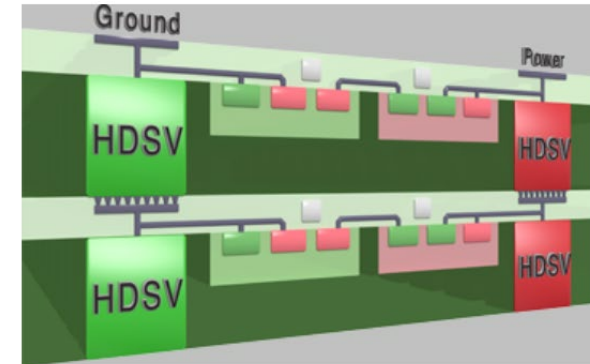
微細化が鈍化するDRAMから微細化が更に進むSRAMへの切り替え



Ex. TSV技術より進化したTCI、HDSV技術の可能性追求



磁界結合チップ間通信
ThruChip Interface (TCI)

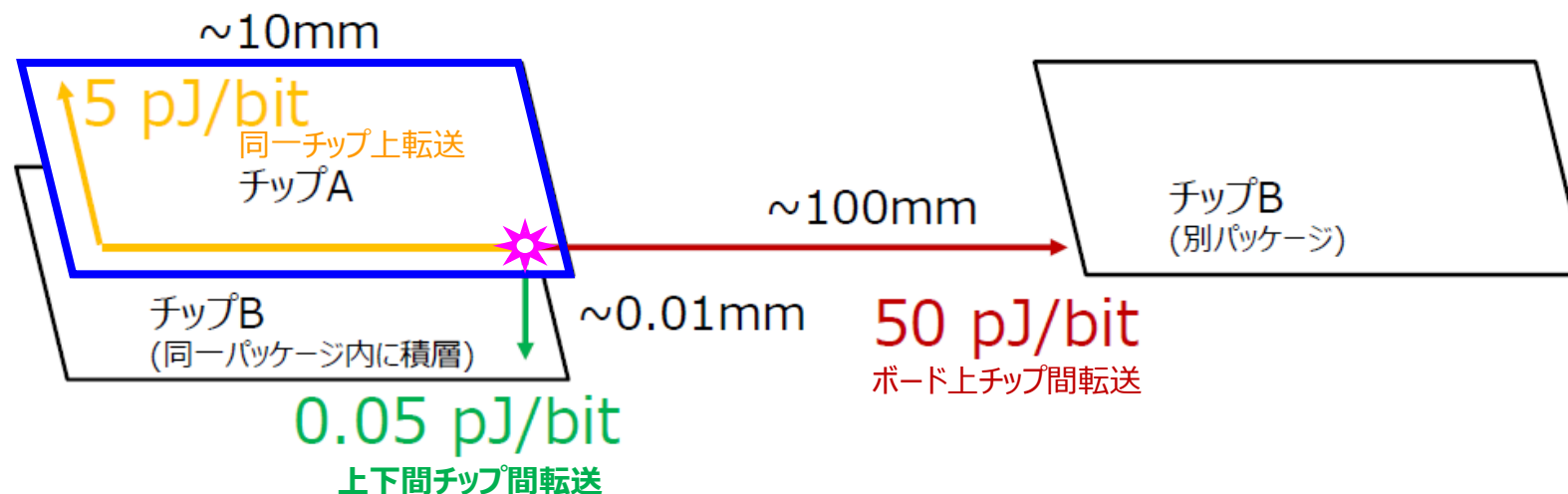


高濃度注入シリコン電極
Highly Doped Silicon Via (HDSV)

テクノロジー系

エネルギー効率10倍：3D集積

- 積層された上下チップ間($\sim 10\mu\text{m}$)のデータ転送に必要なエネルギーは非常に小さく、従来のボード上のチップ間データ転送($\sim 100\text{mm}$)に比べて1/1000、チップ上のデータ移動($\sim 10\text{mm}$)に比べて1/100
- 3D集積でデータの移動距離を短くしエネルギー効率を大幅に改善

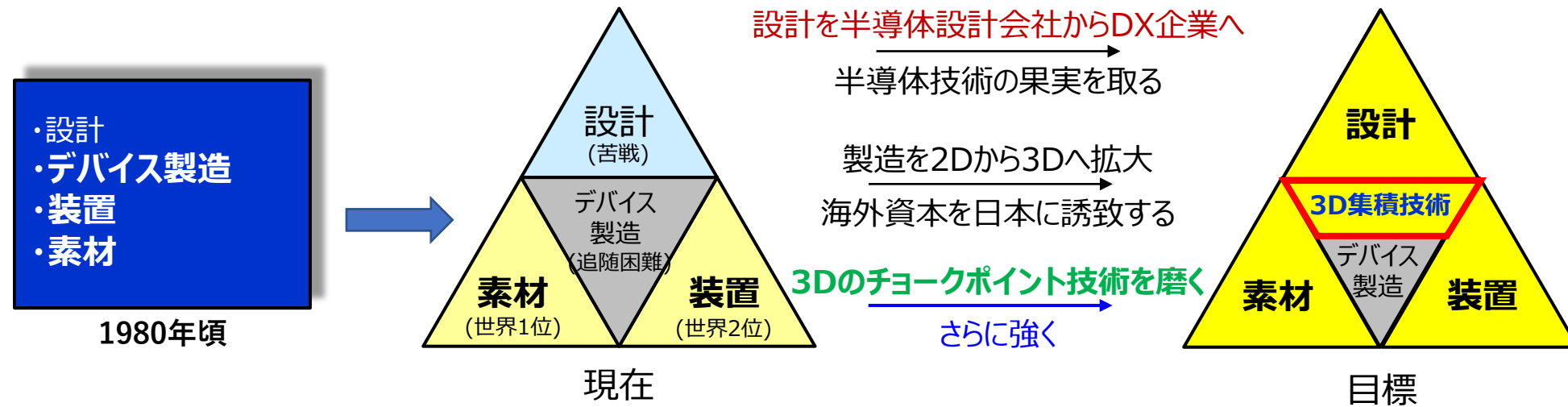


日本の半導体産業の再構築に向けて



- **素材・製造装置**：3D集積のチョークポイント技術(先端パッケージ)*をDX企業と創出し、国際競争力強化
- **製造**：3D集積(Middle End工程)を創出し価値転換、海外資本を日本に誘致
- **設計**：アジャイル設計プラットフォーム*を創出しDX企業が専用チップで果実を取る

*公的助成が必要



3D集積技術を取り巻く環境とNEDO事業提案

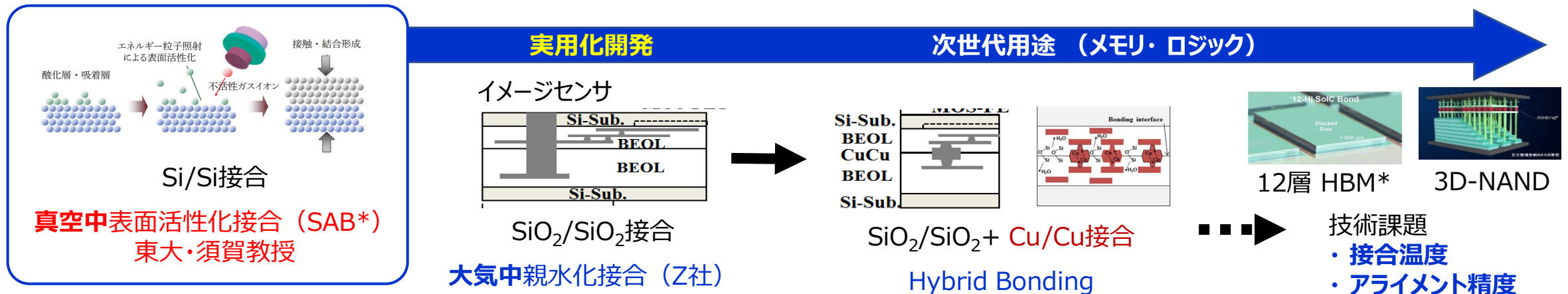
- 3D集積デバイスの進化・拡大
 - ・デバイス積層：μBumpからハイブリッドボンディングへ進化
 - ・用途：イメージセンサ ➡ メモリ ➡ ロジックへと拡大
 - ・3D集積技術の主戦場：パッケージ工程からミドル工程へ

■ ハイブリッドボンディング技術への進化の要請

- 東大須賀教授が表面活性化接合（真空中）を開発(1992年)。その後、Z社が大気中の親水化接合を実用化。
- Z社が基本特許を保有し、デバイスメーカーはライセンスを受けて製造、装置市場もライセンスを受けた装置メーカーが席卷 ➡ イメージセンサーで実用化され、主流の技術に。

次世代用途に改善必須 主な技術課題：① 低温接合（接合強度、ボイドフリー） ② アライメント精度

➡ 次世代課題を解決できる日本独自のハイブリッドボンディング技術を源流に戻って開発



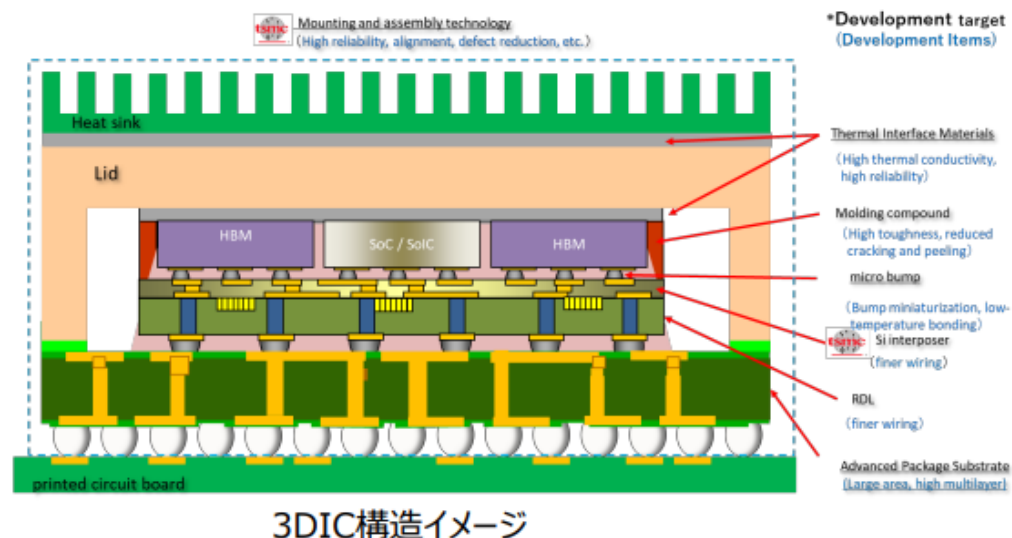
5テーマ採択

【参考】先端半導体製造（後工程）プロセス技術の開発 採択テーマ概要（1）

- 高性能コンピューティング、広帯域5Gネットワークスイッチング、自律走行の人工知能や統合センシング・診断等を実現するためには、半導体デバイスのさらなる集積化・高性能化を可能とする3Dパッケージ技術（ロジック、メモリー、周辺デバイスを1つのパッケージに高密度に実装する技術）の開発が不可欠。
- このため、本事業では、基板上実装技術（on-substrate technologies）を中心として、新しい加工材料、基板材料、接合プロセス、新規の接合・計測機器技術等を含む3Dパッケージング技術について開発し、TSMCジャパン3DIC研究開発センターが産総研のクリーンルームに構築するプロセスラインでの評価・検証を通じて、信頼性の高い組立技術として統合する。
- また、本センターは、日本の材料・装置メーカー及び研究機関・大学（下記）とのパートナーシップに強力に取り組む。最先端の技術ポジションを獲得すべく、拡張性があり、製造可能で費用効果の高いソリューションの開発を行う。



半° 10ットラインを構築する産総研クリーンルーム（つくば市）



3DIC構造イメージ

実施者：TSMCジャパン3DIC研究開発センター株式会社

＜パートナー企業・機関（50音順）＞ ※下記に限定するものではない

【材料メーカー】旭化成、イビデン、JSR、昭和電工マテリアルズ、信越化学工業、新光電気工業、住友化学、積水化学工業、東京応化工業、長瀬産業、日東電工、日本電気硝子、富士フィルム、三井化学、【装置メーカー】キーエンス、芝浦メカトロニクス、島津製作所、昭和電工、ディスコ、東レエンジニアリング、日東電工、日立ハイテク、【大学・研究機関】産業技術総合研究所、先端システム技術研究組合（RaaS）、東京大学

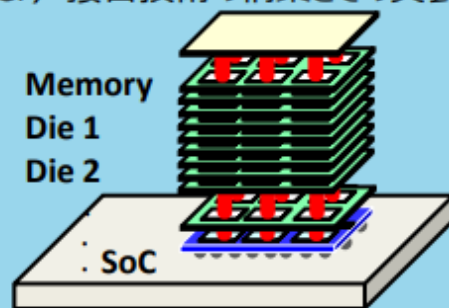
METI, NEDOニュースリリース
(同時発表)
<https://www.meti.go.jp/press/2021/05/20210531002/20210531002-2.pdf>

5テーマ採択

【参考】先端半導体製造（後工程）プロセス技術の開発 採択テーマ概要（2）～（5）

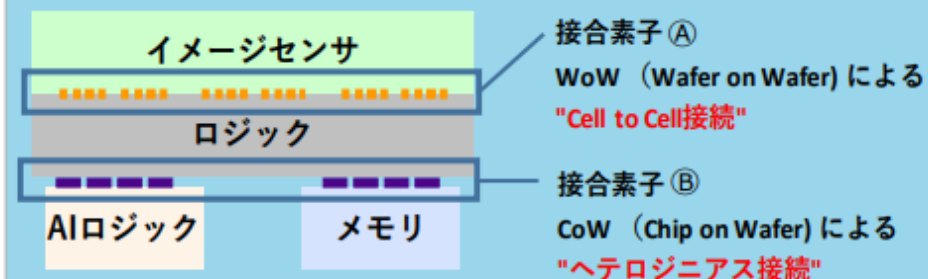
(2) 実施者：先端システム技術研究組合（RaaS）※1

- 事業テーマ：ダイレクト接合 3D積層技術開発（WoWおよびCoW向け装置・プロセス開発）
- 概要：Cu-Cuの低温ハイブリッド接合によるWoW（Wafer on Wafer）接合技術及びCoW（Chip on Wafer）接合技術の構築とその実装化に取り組む。



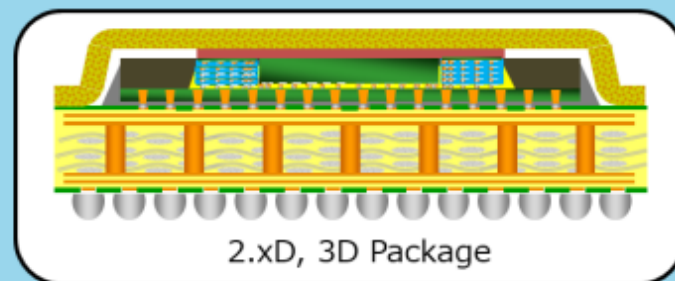
(3) 実施者：ソニーセミコンダクタソリューションズ株式会社

- 事業テーマ：ポスト5Gエッジコンピューティング向け半導体の3D積層要素技術研究開発
- 概要：積層モジュールの基本特性および信頼性取得が可能となるピッチサイズ目標を年度ごとに設定し、ロバストな半導体製造プロセスの要素技術を確立する。



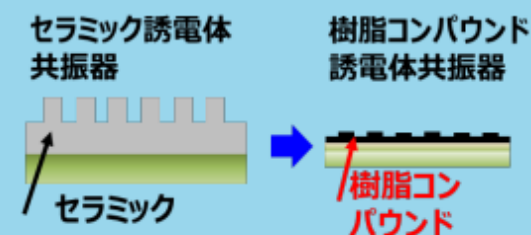
(4) 実施者：昭和電工マテリアルズ株式会社※2

- 事業テーマ：最先端パッケージ評価プラットフォーム創成
- 概要：基板、装置、材料メーカーによるコンソーシアムを創成、評価プラットフォームを設置し次世代半導体パッケージの評価技術、基板、装置及び材料を開発する。



(5) 実施者：住友ベークライト株式会社

- 事業テーマ：次世代情報通信向け先端パッケージの材料開発
- 概要：3次元実装密度向上において重要となる、Wafer Level PKG向け封止材、アンテナ向け封止材、再配線用感光材のファインピッチ対応技術を開発する。



METI, NEDOニュースリリース
（同時発表）
<https://www.meti.go.jp/press/2021/05/20210531002/20210531002-2.pdf>

※1（共同実施先、組合員企業等）国立研究開発法人産業技術総合研究所、SCREENホールディングス、ダイキン工業、富士フィルム、パナソニックスマートファクトリソリューションズ、東京大学

※2（共同実施先、協力企業等）味の素ファインテクノ、上村工業、荏原製作所、新川、新光電気工業、大日本印刷、ディスコ、東京応化工業、TOWA、ナミックス、パナソニックスマートファクトリソリューションズ、ヤマハロボティクスホールディングス

ウェハ、チップレベルのCu-Cu低温ハイブリッドダイレクト接合による3D集積実現に向けて

- 1) 表面活性化による低温化接合を用いたWoW(Wafer on Wafer)接合技術を開発し、さらに有機分子接合によるボイドフリー化やアライメントの高精度化、パーティクル低減化を検討し、これらの技術を統合した接合装置の実用化
- 2) 無機異方性導電膜を用いた低温接合および、プラズマを用いた低ダスト固片化ダイシングによるCoW(Chip on Wafer)接合技術を開発とその装置化

	表面活性化接合 : SAB (真空中) Surface Activation Bonding : SAB (in Vacuum)	SiO₂-SiO₂接合 ナノ密着層形成 / 有機分子接合	積層 デバイス 試作	評価・解析
WoW 接合 技術	<p>酸化層・吸着層 → エネルギー粒子照射による表面活性化 → 不活性ガスイオン → 接触・結合形成</p> <p>低温表面活性化接合</p>	<p>ナノ密着層</p> <p>SiO₂ 有機分子 SiO₂</p>	パイロットライン構築	・電気特性評価 ・表面平坦度 ・ウエハ反り ・接合強度 ・ボイド測定 ・界面構造 ・ ・ ・
CoW 接合 技術	無機異方性導電膜 i-ACF Cu ナピラー (CNP)	プラズマダイシング Plasma dicing		

Cu-Cu と SiO₂-SiO₂ のハイブリッド接合

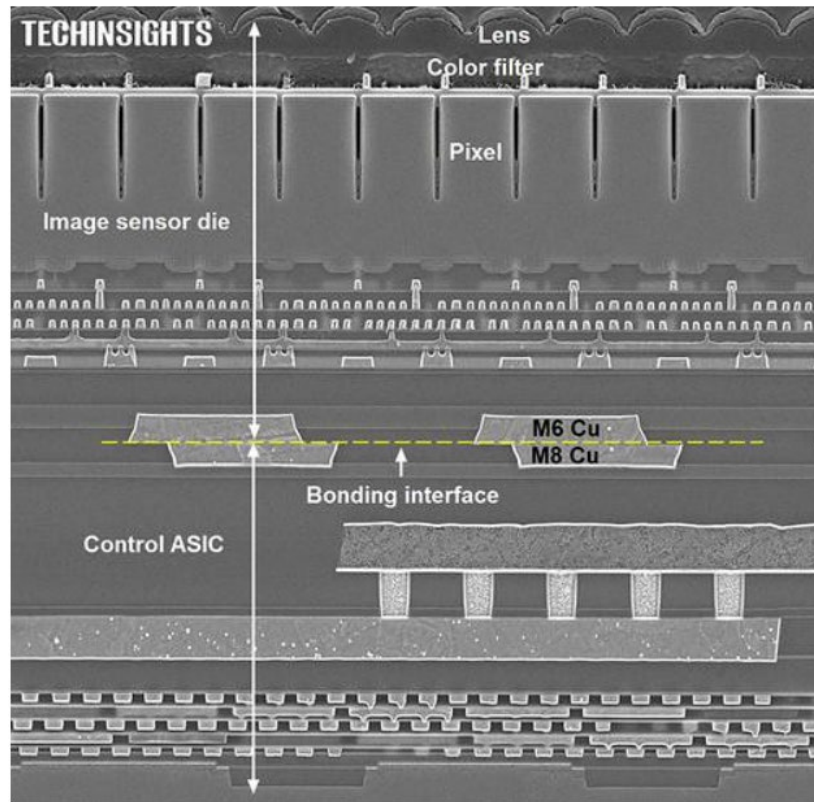
極微細電極接合

・パーティクルレス ・一括ダイシング ・ダメージレス

内 容

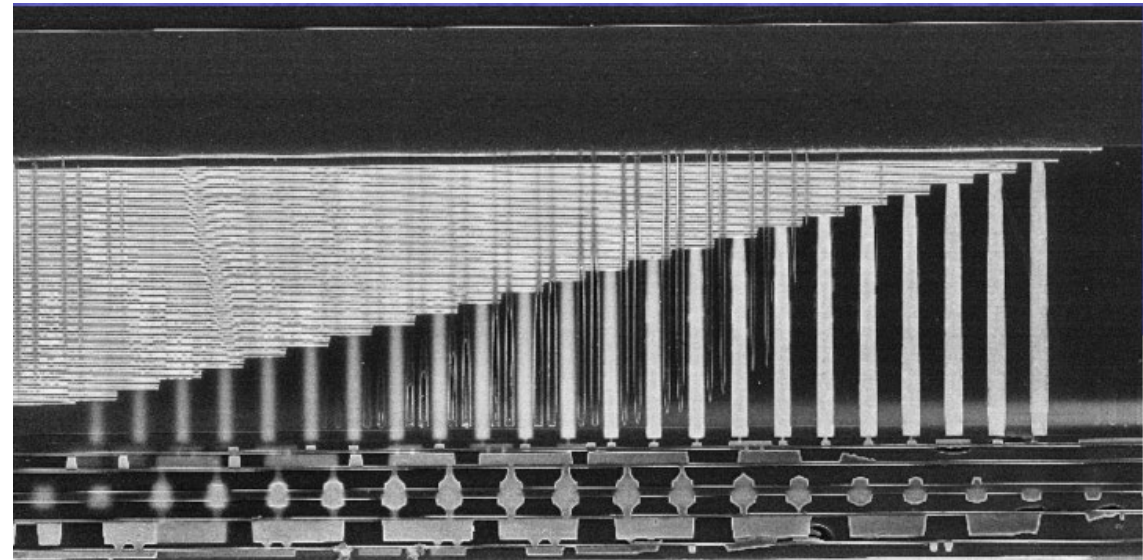
1. 日本の半導体産業の競争力 -NEDO技術調査委員会報告書
2. 先端パッケージ技術と3D集積/接合プロセス
 - 2-1 デバイス接合と3D集積プロセス -imecでの取組み最前線
 - 2-2 3D接合技術 -ダイレクト3D積層技術@RaaS
3. **WoW, CoW技術実用化動向**
4. 先端パッケージ技術に係る提言 -NEDO技術調査委員会

ハイブリッド接合 -WoW実用化例



2016年 Sony BSI-CMOS Image Sensor IMX260

<https://www.ednasia.com/samsung-s7-s-two-image-sensors-what-s-the-difference-2/>

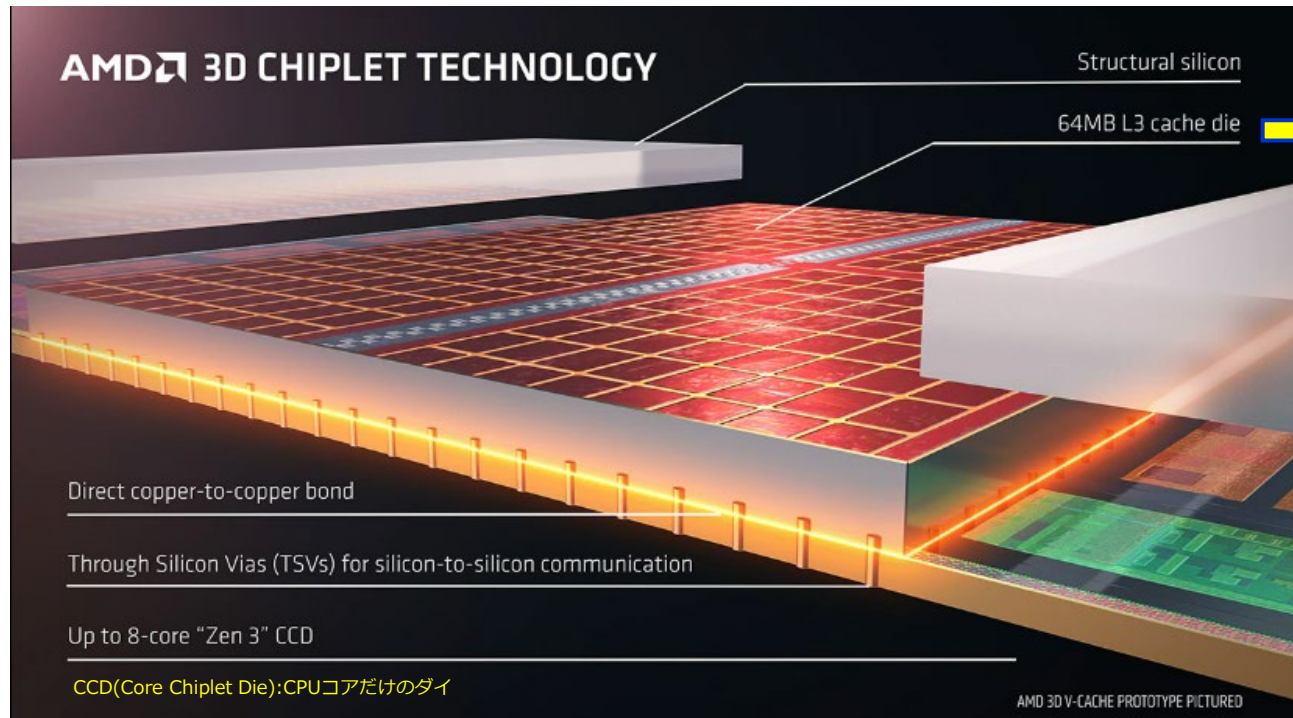


2020年 YMTC Xtacking NAND Flash

<https://www.i-micronews.com/products/ymtcs-3d-nand-flash-memory/>

128層の3D NAND技術とXtacking技術の改良版を組み合わせた3D NANDフラッシュ
Xtacking : 「メモリセル」と「CMOS回路」をハイブリッドボンディング技術で製造

ハイブリッド接合 -CoW実用化例



2022年 AMD 3D V-Cache <https://www.amd.com/ja/technologies/3d-v-cache>

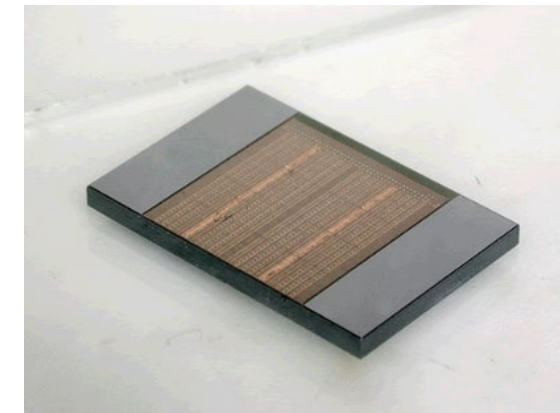
熱伝導、トランジスタ密度、配線ピッチを改善

TSMC N7 SRAM 64MB

接続密度： x200 (対 2D-MCM) 、
x15 (対 Si IP(CoWoS))

転送エネルギー： <1/3 (対 μ バンプ3D)

→ TSV採用でL3 Cache(SRAM)/CCD帯域幅：2TB/s

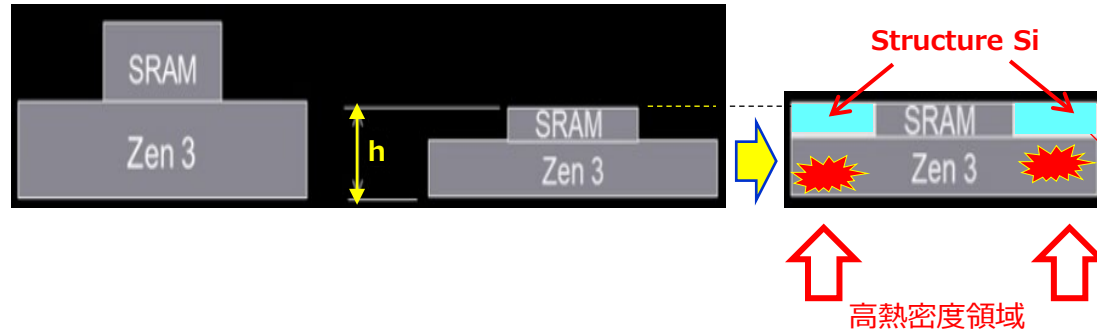


3D V-cache :

Zen 3 CCDに64MBのSRAMを積層 + 元々のZen3 CCDが持っていた32MBのL3 cache \Rightarrow **96MBのL3 cache容量**を実現

3D V-cacheのダイとZen 3 CCDを接続する**Hybrid Bondのpitchは9um** (< IntelのFoveros directの10um pitch)

AMD 3D Chiplet技術の考察

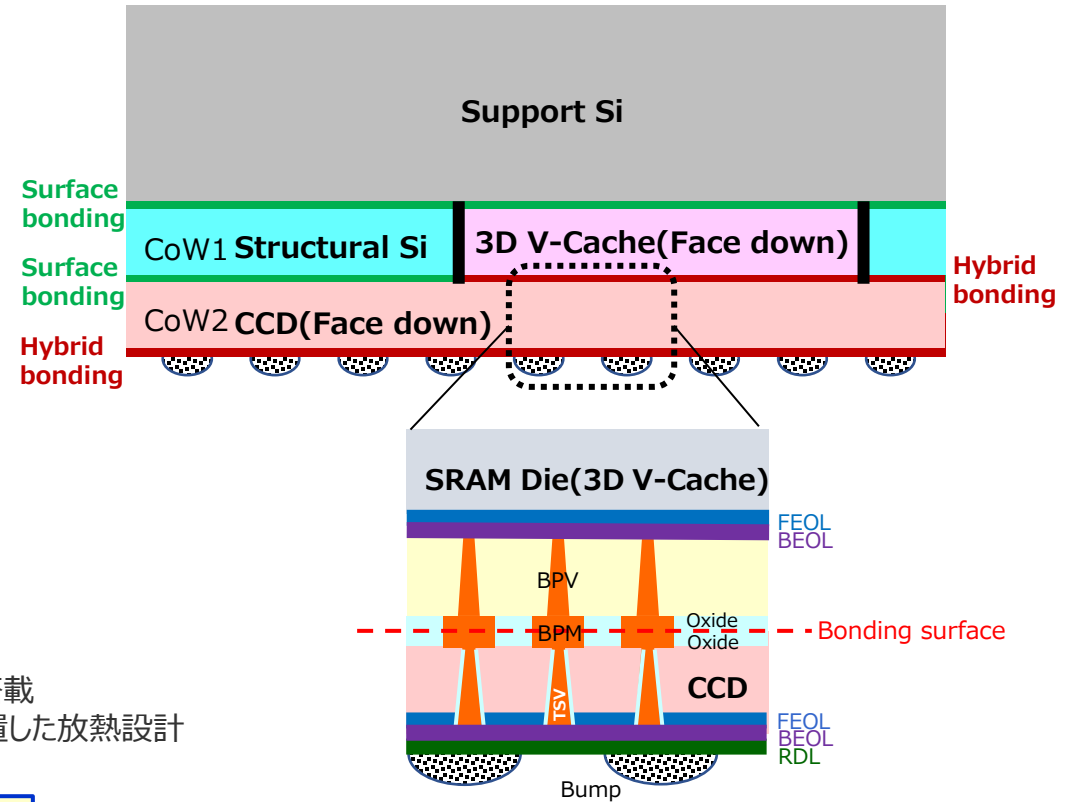


L3キャッシュSRAMとCPUはダイの大きさが異なる。

⇒ SRAMとCPUの高さを調整し、隙間部分を埋め込み一体化して放熱対策

CPUダイと重なるL3キャッシュSRAMの大きさを合わせるために**Structure Si**をCPU上部に搭載

⇒CPUの高熱密度領域を避けてSRAMを実装、熱密度が高いところに**Structure Si**を配置した放熱設計



info@techinsights.comから作成

1 積層による放熱対策

- ➔ CPU, SRAMの薄層化で放熱量を増大
- ➔ **Structure Si**採用によるCPU, CCDから放熱
- ➔ Tr配置を考慮したフロアプラン設計

L3キャッシュは演算ユニットの中でも1番発熱が小さい

⇒ SRAMをこの上に重なるように配置し、熱密度をコントロール

(熱密度が高いCPU, CCD領域上には**Structure Si**を配置)

2 CPU, SRAMの薄層化による高さ調整

- ➔ CPUの厚さに調整することでプロセス適合性の向上
- ➔ 段差をなくしヒートスプレッドで熱を効率よく吸収
- ➔ 薄層化でTSV形成が容易
- ➔ CPU, SRAMの薄層化で放熱量を増大

【参考】

2022年 AMD 3D V-Cache

<https://www.amd.com/ja/technologies/3d-v-cache>

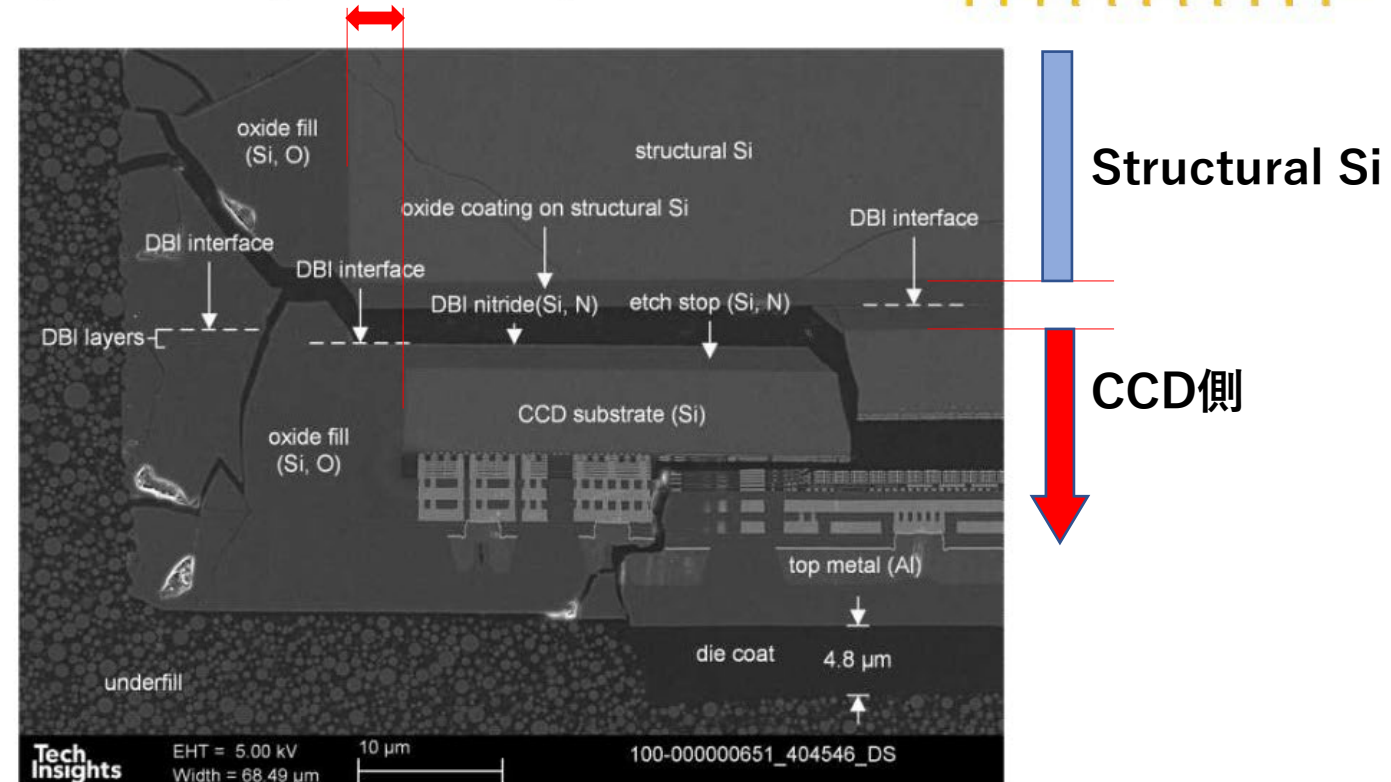
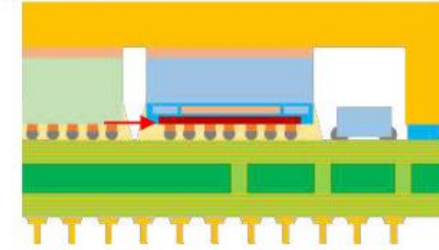


【参考】

5800X3D Package Cross-Section Analysis

CCD Die

- The DBI layers extend beyond the diced edge of CCD die to the edge of the die stack structure.



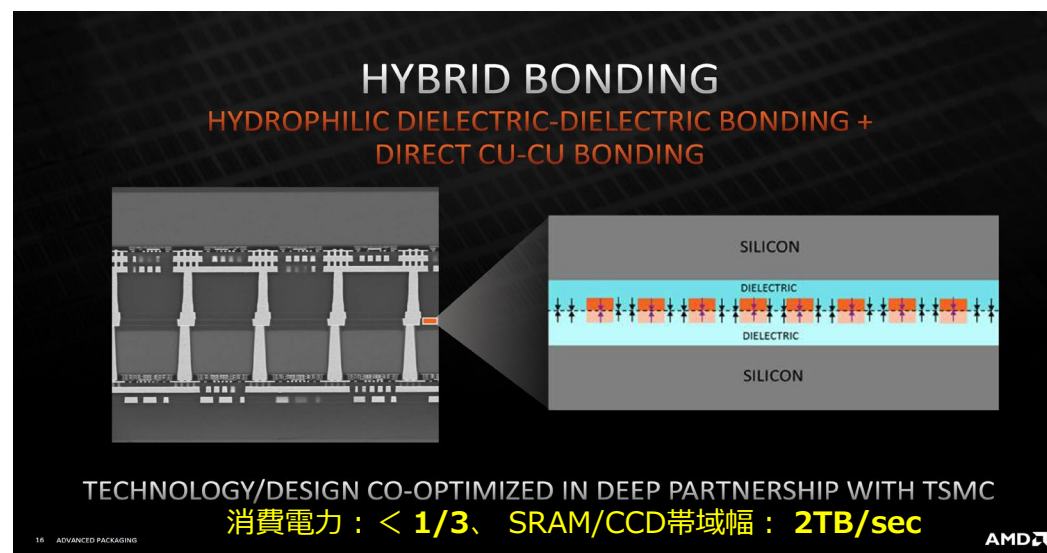
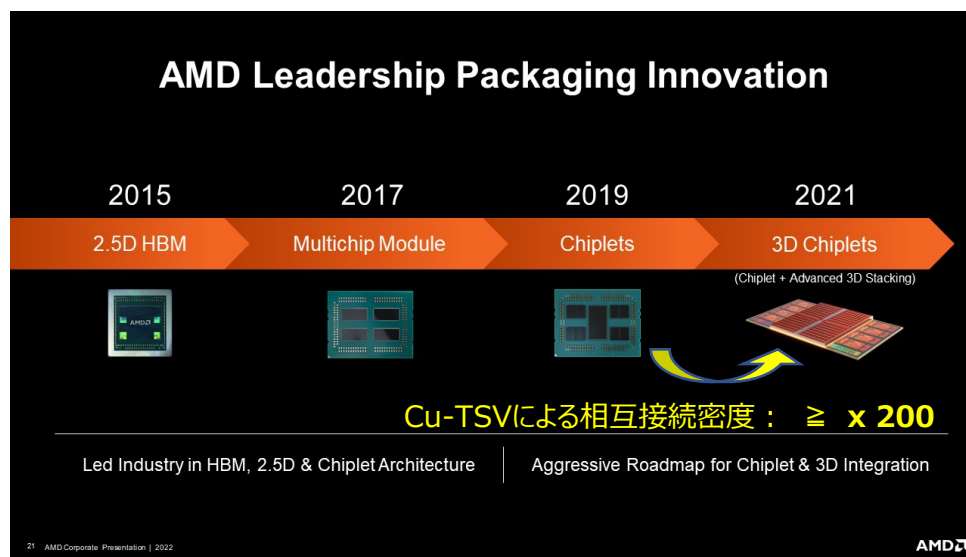
019_Die Overview_404546.png

CCD Die at Edge of Die Stack – SEM at A-A

TechInsights Inc.

AMDの3D Chiplet技術 :

TSV + ハイブリッド接合 を組み合わせた新プロセスによって実現



AMD Corp スライド 2022 April
https://japancatalog.dell.com/c/isg_blog_milan-x_01/

内 容

1. 日本の半導体産業の競争力 -NEDO技術調査委員会報告書
2. 先端パッケージ技術と3D集積/接合プロセス
 - 2-1 デバイス接合と3D集積プロセス -imecでの取組み最前線
 - 2-2 3D接合技術 -ダイレクト3D積層技術@RaaS
3. WoW, CoW技術実用化動向
4. 先端パッケージ技術に係る提言 -NEDO技術調査委員会

日本の半導体産業における競争力強化に向けた提言

半導体装置、素材産業の優位性を維持しつつ、

1) 先端パッケージング技術を研究開発するプロジェクトの構築と技術検証プラットフォーム整備

- ① 研究開発プロジェクトの構築（新規材料を持ち寄り、パッケージングに仕上げる）
➔ **FEOL/BEOL融合のアプローチ**が不可欠・・・オープンイノベーション拠点に係る調査有識者委員会提言
- ② 技術検証プラットフォームの整備（信頼性、標準化などの評価体制）

2) 先端パッケージング半導体製造を担う製造受託業者の国内創出

3) 高性能、低コスト化生産技術の開発支援

4) 情報伝送量/消費電力比の最適化に向けた技術と実用化開発支援

異種チップを集積し高性能化・低コスト化を狙うには、アプリケーションからの要求に対応したパッケージ設計の開発や製造技術、材料の開発のみならず、**設計段階から**消費電力やコスト等を推算することが望ましい。

➔ **システム・技術協調最適化(STCO : System Technology Co-Optimization)**が非常に重要

5) アプリケーションを創出する企業の支援

- ① 技術検証プラットフォームの活用
- ② 標準化委員会（JEDEC, ASTMなど）

6) 人材育成（産・官・学の連携）

先端半導体のさらなる高性能化には、**微細化技術**とチップレットに代表される**先端パッケージング技術**の両輪が不可欠

ありがとうございました。