

先端 3D チップレットに向けた高熱伝導率を有する AlN 膜の研究

High Thermal Conductivity AlN Films for Advanced 3D Chiplets

高木 剛^{1*} 二宮 健生^{1*} 丹羽 正昭^{1*} 小原 聡顕² 百瀬 健^{2#} 霜垣 幸浩²
野村 政宏³ 藤岡 洋³ 森 正和⁴ 黒田 忠広^{1*}

1 東京大学 システムデザイン研究センター 〒112-0015 東京都文京区目白台 3-28-6

2 東京大学 マテリアル工学専攻 〒113-8656 東京都文京区本郷 7-3-1

3 東京大学 生産技術研究所 〒153-8505 東京都目黒区駒場 4-6-1

4 龍谷大学 先端理工学部 〒520-2194 大津市瀬田大江町横谷 1-5

* 先端システム技術研究組合 〒112-0015 東京都文京区目白台 3-28-6

T. Takagi^{1*}, T. Ninomiya^{1*}, M. Niwa^{1*}, S. Obara², T. Momose^{2#}, Y. Shimogaki²,
M. Nomura³, H. Fujioka³, M. Mori⁴ and T. Kuroda^{1*}

1 The University of Tokyo, System Design Lab., 3-28-6 Mejirodai, Bunkyo-ku, Tokyo 112-0015, Japan

2 The University of Tokyo, Dept. of Materials Engineering, 7-3-1 Hongo, Bunkyo-ku, Tokyo 113-8656, Japan

3 The University of Tokyo, Inst. of Industrial Science, 4-6-1 Komaba, Meguro-ku, Tokyo 153-8505, Japan

4 Ryukoku University, Faculty of Adv. Sci. & Tech., 1-5 Yokotani, Seta Oe-cho, Otsu, Shiga 520-2194, Japan

* Research Association for Advanced Systems, 3-28-6 Mejirodai, Bunkyo-ku, Tokyo 112-0015, Japan

Tel: +81-3-5810-1645 (e-mail: takagi@dlab.t.u-tokyo.ac.jp)

Abstract

A novel “Cool 3D chiplet” concept is proposed, showcasing remarkable heat dissipation through the integration of aluminum nitride (AlN), an insulating material with high thermal conductivity. We conducted simulations analyzing the thermal impact of AlN as an interlayer dielectric (ILD) for the back-side power delivery network (BSPDN), a TSV insulating film, and a molding material for the packaging. Furthermore, we explored appropriate AlN deposition techniques for each application. The results demonstrate the feasibility of building advanced 3D chiplets with enhanced heat dissipation by employing the AlN in each layer that makes up the 3D chiplet, from the device level to the packaging level.

1. はじめに

高性能かつ低消費電力を実現するために、デバイス技術、積層技術、パッケージング技術など、各技術領域においてさまざまな 3DIC 技術が開発されている。しかし、技術の進化に伴い、エネルギー密度が増大することにより、チップ内部の温度が上昇してしまうことが深刻な問題となっている。最近では、デバイスレベルでの放熱を改善するために、配線層絶縁膜 (BEOL ILD) や接合層に AlN やダイヤモンドなどの高熱伝導性誘電体を導入することが研究されている[1]。

本研究では、デバイスレベルだけでなく、積

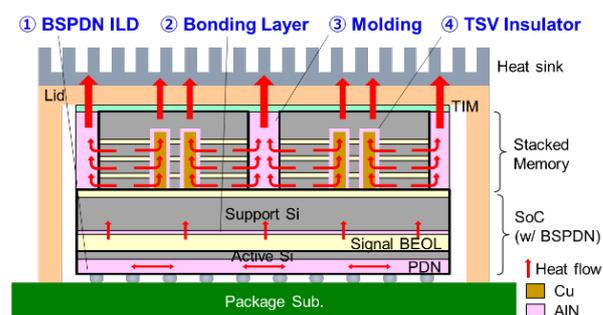


Fig.1 “Cool 3D chiplet” structure. AlN is adopted to BSPDN ILD, Bonding layer, TSV insulator and Molding.

層モジュールやパッケージング技術にも AlN を適用し、チップ内部で発生した熱を効率的に外部に放熱する新しい "Cool 3D Chiplet" を提案する (Fig.1)。さらに、各用途に適した AlN 膜の製膜方法について検討する。

2. 放熱シミュレーションと製膜技術の検討

(1) デバイス技術応用 : BSPDN

BSPDN はチップ面積の削減、IR ドロップの低減、および信号品質の向上に効果的であり、2nm ノード以降で導入される予定の新しいデバイス技術である。しかしながら、信号配線を基板表面に形成し、電源配線を基板裏面に形成するために、Si 基板の薄層化が不可欠で、動作時の温度上昇が指摘されている。BSPDN においてはより効率的な放熱対策が必要である[2]。

支持 Si 基板との接合層および裏面配線層の ILD 層として AlN を導入した場合の効果を検討した (Fig.2)。ILD の熱伝導率 (κ) に応じて、“ホットスポット”のピーク温度が低下し、横方向の熱拡散が改善され、温度プロファイルは従来のバルク Si 基板を用いた Front-side PDN (FSPDN) と同等のプロファイルであった (Fig.3)。裏面 ILD 層に AlN を導入することにより放熱性が改善されることを示している。

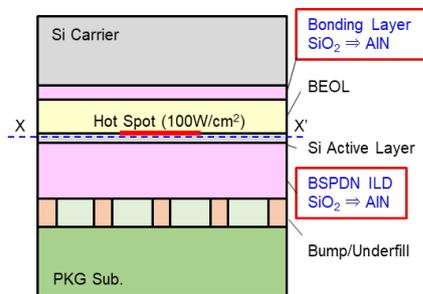


Fig.2 Thermal simulation model of BSPDN. AlN is adopted to the bonding layer and the BEOL ILD.

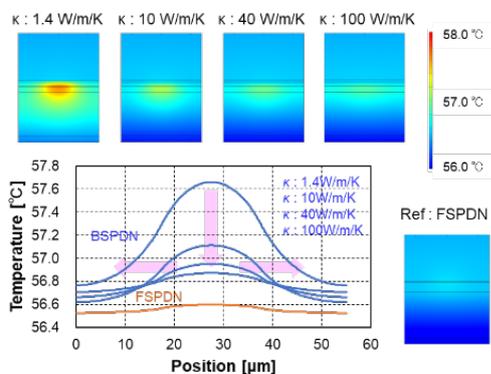


Fig.3 Temperature profiles of BSPDN for various κ . Peak temperature is decreased, and lateral heat dissipation is enhanced.

BSPDN の裏面配線用 ILD 層に向けた AlN 膜の製膜技術としてパルススパッタ法 (PSD) を検討した。UHV チャンバー内で製膜することで酸素の取り込みを抑制し、室温でも SiC 基板上に AlN のエピタキシャル成長を可能にする製膜方法である[3]。

X 線回折により 400°C 製膜において配向性の高い良好な結晶性が確認された (Fig.4)。また、ピコ秒レーザを用いた Time-Domain Thermo-Reflectance (TDTR) 法により、54 W/m/K の高い熱伝導率を確認した (Fig.5)。PSD 法による AlN 膜が、BSPDN の裏面配線用 ILD 層に適用可能であることを示している。

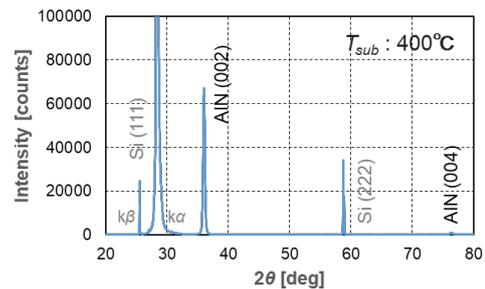


Fig.4 XRD spectrum of AlN films deposited by PSD at 400°C.

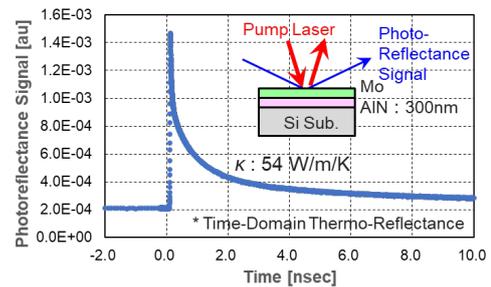


Fig.5 TDTR* signals of AlN films deposited by PSD at 400°C.

(2) スタック技術応用 : HBM 向け TSV 絶縁膜

HBM (High Bandwidth Memory) は DRAM を積層したメモリーモジュールで、現在、最大 12 層積層した HBM が、AI などの高性能コンピューティングに広く使用されている。次世代の HBM4 では、ハイブリッドボンディングを使用して従来のバンプ接続よりも熱抵抗を下げ、熱特性を含めて最大 16 積層を可能にする報告されている[4]。

次々世代で想定される 20 層の HBM について、TSV 絶縁膜として AlN を用い、放熱性をさらに向上させることにより、その実現可能性の検討を行った。Fig.6 に示す熱シミュレーションモデルを用い、TSV 絶縁膜として SiO₂ と AlN を使用した場合のチップ内最高温度 ($T_{j\ max}$) と積層数の関係を調査した (Fig.7)。層数が増える

と、 T_{j_max} が上昇し、20層では 100 °C を超えている。AIN を使用することで、 T_{j_max} が約 5 °C 低下するが、それでも 90 °C を超えている。図中に示した温度プロファイルから、ヒートシンクから最も遠く、TSV から横方向に離れた最下層の温度が上昇することがわかる。

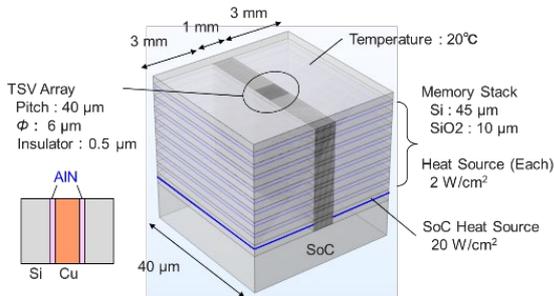


Fig.6 Thermal simulation model of HBM. AIN is adopted to the TSV insulator.

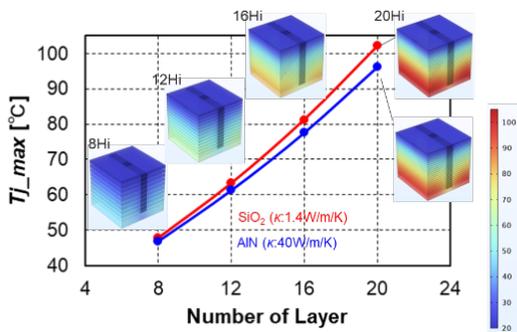


Fig.7 Stack number dependence of T_{j_max} . 5.9 deg reduction in AIN at 20Hi HBM

T_{j_max} をさらに下げするために、HBM の熱抵抗について Fig.8 に示すように解析した。ホットスポットからヒートシンクまでの放熱経路の熱抵抗は、Si 層の横方向の熱抵抗 ($R_{th_Si_Lateral}$)、TSV 絶縁体の熱抵抗 ($R_{th_TSV_Ins}$)、および TSV Cu の熱抵抗 ($R_{th_TSV_Cu}$) の合計と考えることができる。また、それぞれの熱抵抗は、直径、深さ、伝導率、厚さ、幅などのパラメータによって決まる。

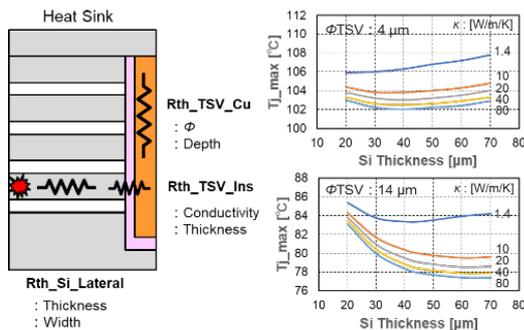


Fig.8 Consideration on thermal resistance. $R_{th_TSV_Cu}$ and $R_{th_Si_Lateral}$ are also important.

Fig.8 右図は、TSV 径、Si 厚さ、絶縁体の熱伝導率を変化させた場合の 20 層 HBM の T_{j_max} を示したものである。TSV 径が小さい場合、Si 層の厚さや熱伝導率に対して大きな変化は示さないが、TSV 径が大きい場合には、Si 層が厚く、熱伝導率が高い場合に T_{j_max} を効果的に低減することが可能となっている。これは、TSV 径が小さい場合には、TSV Cu の熱抵抗が律速しているものと考えられる。ホットスポットまでのトータル熱抵抗を考慮することが非常に重要であることを示している。

熱抵抗解析に基づき、絶縁体材料に加えて、TSV 径、TSV レイアウト、Si 厚などの HBM 構造を変更した (Fig.9)。TSV 径は、TSV Cu の熱抵抗を低減するために 6 μm から 8 μm にわずかに拡大し、TSV レイアウトに関しては、TSV までの横方向の距離を短くするために、TSV の総数を変えることなく、中央に TSV 1 つと端部に TSV 1 つを配置した。また、Si 層での横方向の熱抵抗を低減するために、下側のスタックではより厚い Si を使用した。その結果、20 層 HBM でも、16 層 HBM に匹敵する低い T_{j_max} が得られた。

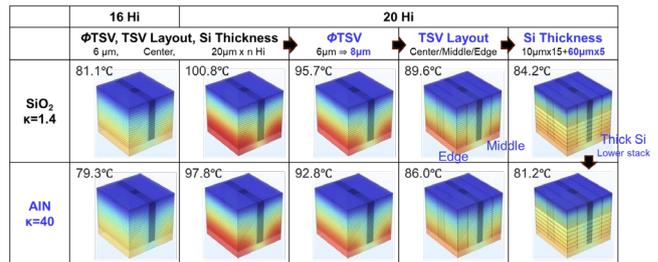


Fig.9 Temperature profiles of modified 20Hi HBM. T_{j_max} is comparable to that of 16Hi HBM

製膜方法としては、低温でも適度な製膜速度を有し、高アスペクト比の TSV 側壁にもコンフォーマルに膜を堆積できる熱 CVD を検討した。原料ガスに AlCl₃ を使用することで、650°C で多結晶 AIN 膜が製膜されていることを確認した (Fig.10)。熱伝導率も 7.8 W/m/K と比較的高い値を示した。

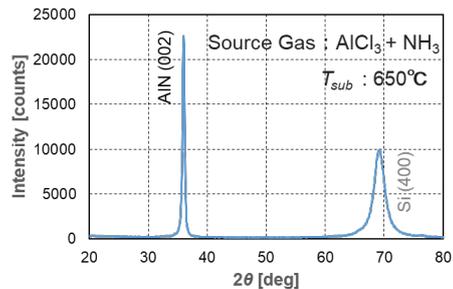


Fig.10 XRD spectrum of AIN film deposited by thermal CVD at 650°C

Fig.11 に製膜した AlN 膜の断面を示す。柱状構造の結晶が製膜されているのがわかる。また、高アスペクト比トレンチ構造側壁にコンフォーマルに製膜されていることがわかる (Fig.11)。今後、反応性の高い窒素原料ガスの使用や原料ガスのフローシーケンスの工夫により、さらに低温での高品質 AlN 製膜を検討する。

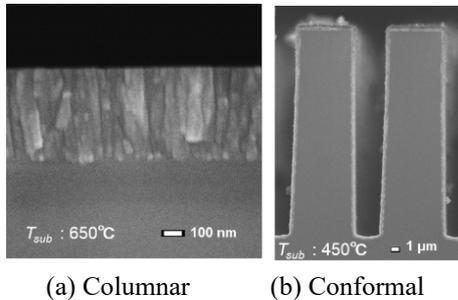


Fig.11 Cross section of AlN film deposited by thermal CVD

(3) パッケージ技術応用：モールド材料

次世代の 3D チップレットプロセスとして Quasi-Monolithic Chip (QMC) が提案されている[5]。より高い接続密度とより高い熱的・機械的安定性を実現するために、従来の有機材料に代わり SiO₂ でチップがモールドされた構造である。我々は、モールド材料として SiO₂ の代わりに AlN を使用することで、パッケージレベルでの放熱を大幅に改善することを提案する。Fig.12 に示すようにシステムオンチップ (SoC) の上に 2 つの積層メモリモジュールを搭載したチップレットにおいてメモリモジュール間のモールド材料として AlN を用いることを想定したモデルを用い、AlN による放熱効果をシミュレーションした。

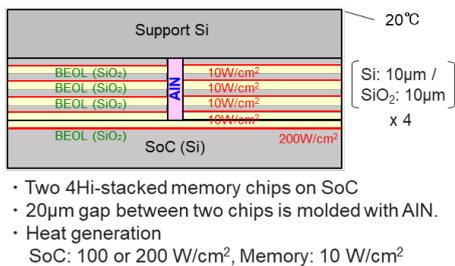


Fig.12 Thermal simulation model of chiplet molded with AlN.

Fig.13 は、SoC の発熱密度やメモリモジュールの積層数をパラメータとし、チップレット内の最高温度 T_{j_max} について、モールド材料である AlN の熱伝導率依存性を示している。SoC 発熱密度が 200W/cm² でメモリ層数が 4 層と発熱量が最も高い場合、熱伝導率が高くなると、 T_{j_max} は大幅に減少し、40W/m/k では、20°C

を超える大きな減少が見られる。

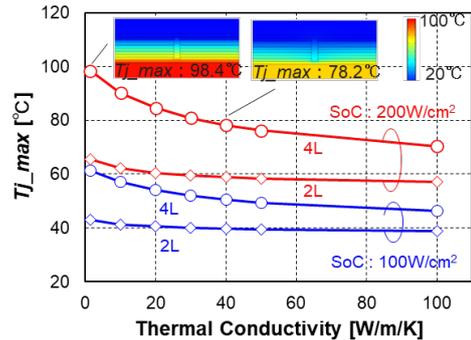


Fig.13 Thermal conductivity dependence of T_{j_max} . Large T_{j_max} reduction is obtained.

成膜技術については、厚膜形成のため Aerosol Deposition Method (ADM) 法をパッケージングプロセスとして初めて検討した。本技術はスプレーコーティングの一種で、粉末材料を基板に高速で吹き付けることにより、常温でも厚膜の形成が可能である。粉末のサイズを調整することで、室温で Si 基板上に厚い結晶膜を形成できることを確認した (Fig.14)。また、10 μm の段差と 10 μm のスペースを有するギャップでも良好な埋め込み特性が得られた (Fig.15)。

AlN を用いたチップレットのモールド技術は、AI プロセッサなどの発熱量の大きい次世代の高性能 3D チップレットを実現する有望な放熱技術である。

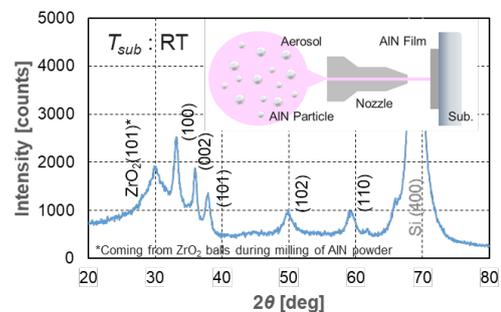


Fig.14 XRD spectrum of AlN films deposited by ADM at room temperature.

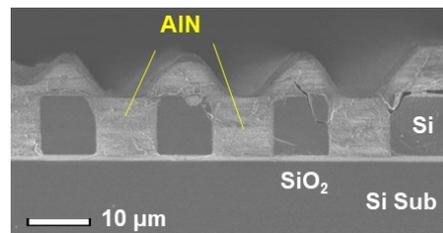


Fig.15 Cross section of AlN film deposited by ADM at room temperature. Gap is fully filled by AlN.

3. まとめ

AIN の優れた放熱特性について、BSPDN 向け裏面ILD、HBM 向けTSV絶縁膜、3Dチップレット向けモールド材料として、先進の3DICに適用した場合の効果を熱シミュレーションにより検証した。また、上記のそれぞれのアプリケーションに適するAINの製膜技術について検討を行い、適用可能性を確認した。今後さらなる検討を積み重ね、その適用性を実証する予定である。AIの進化とともに今後ますます3D集積化が進展し放熱課題が深刻化する先進の3Dチップレットにおいて、AINは、デバイスレベルからパッケージレベルまで適用可能

で、放熱性を著しく向上させることができる有望な高熱伝導性絶縁体材料である。

本研究は、JST ALCA-Next (JPMJAN23E3)、ARIM (JPMXP1223UT0072、およびJPMXP1223UT1020) によってサポートされた。

References

- [1] W. Y. Woon, IEDM, 2023, 19-3.
- [2] R. Chen, IEDM, 2022, pp. 567.
- [3] K. Sato, Appl. Phys. Expr. 2, 2009, 011003.
- [4] T. Kim, ECTC, 2023, pp. 767.
- [5] A. Elsherbini, IEDM, 2022, pp. 631.
- [6] B. D. Hahn, Ceramics Intern., 42, 2016, pp.18